

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-329793

(43)Date of publication of application : 15.11.2002

(51)Int.Cl.

H01L 21/8238

H01L 21/8234

H01L 27/088

H01L 27/092

(21)Application number : 2001-135356

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 02.05.2001

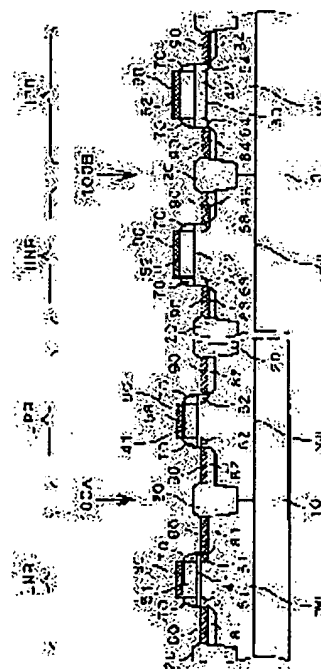
(72)Inventor : SAYAMA HIROKAZU
NISHIDA MASAO
OTA KAZUNOBU
ODA SHUICHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a CMOS transistor which can satisfy requests for miniaturization and high reliability, and its manufacturing method.

SOLUTION: Buried channel PMOS transistors are used only for high voltage CMOS transistors 100B. In a low voltage NMOS region LNR and a high voltage NMOS region HNR, surface channel NMOS transistors are formed, and in a low voltage PMOS region LPR, surface channel PMOS transistors are formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-329793
(P2002-329793A)

(43) 公開日 平成14年11月15日 (2002.11.15)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-コード*(参考)
H 0 1 L 21/8238		H 0 1 L 27/08	3 2 1 C 5 F 0 4 8
21/8234			3 2 1 E
27/088			1 0 2 B
27/092			

審査請求 未請求 請求項の数12 O L (全 32 頁)

(21) 出願番号 特願2001-135356(P2001-135356)

(22) 出願日 平成13年5月2日 (2001.5.2)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 佐山 弘和

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 西田 征男

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100089233

弁理士 吉田 茂明 (外2名)

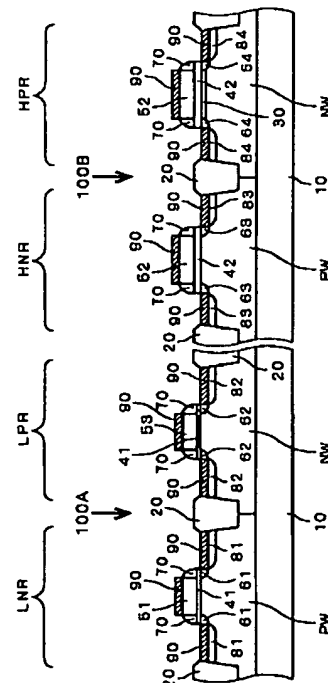
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 微細化の要求および信頼性の要求を満たすことが可能なCMOSトランジスタおよびその製造方法を提供する。

【解決手段】 埋め込みチャネル型のPMOSTランジスタは高電圧対応のCMOSTランジスタ100Bにおいてのみ配設され、低電圧NMOS領域LNR、および高電圧NMOS領域HNRにおいては、表面チャネル型のNMOSTランジスタが形成され、低電圧PMOS領域LPRにおいては、表面チャネル型のPMOSTランジスタが形成されている。



【特許請求の範囲】

【請求項1】 半導体基板の表面内に規定される第1のNMOS領域および第1のPMOS領域に、それぞれ配設された、第1のNMOSトランジスタおよび第1のPMOSトランジスタと、

前記半導体基板の表面内に規定される第2のNMOS領域および第2のPMOS領域に、それぞれ配設された、第2のNMOSトランジスタおよび第2のPMOSトランジスタとを備え、

前記第2のNMOSトランジスタおよび前記第2のPMOSトランジスタはそれぞれ前記第1のNMOSトランジスタおよび前記第1のPMOSトランジスタよりも動作電圧が高く、

前記第2のPMOSトランジスタは、前記半導体基板内部にチャネルが形成される埋め込みチャネル型のMOSトランジスタであって、

前記第1のNMOSトランジスタ、前記第1のPMOSトランジスタおよび前記第2のNMOSトランジスタは、前記半導体基板の表面内にチャネルが形成される表面チャネル型のMOSトランジスタである、半導体装置。

【請求項2】 前記第2のPMOSトランジスタは、前記第2のPMOS領域の前記半導体基板の表面上に選択的に配設されたゲート絶縁膜と、

前記ゲート絶縁膜上に配設されたゲート電極と、

前記ゲート絶縁膜の直下の前記半導体基板の表面内に配設された比較的低濃度のP型不純物層と、

前記ゲート電極の側面外方の前記半導体基板の表面内に配設され、前記不純物層と接触する1対のP型ソース・ドレイン層とを有する、請求項1記載の半導体装置。

【請求項3】 前記1対のP型ソース・ドレイン層は、互いに向かい合う端縁部から、対向するように延在する1対のP型エクステンション層を含む、請求項2記載の半導体装置。

【請求項4】 前記ゲート電極は、N型不純物を比較的高濃度に含む、請求項2記載の半導体装置。

【請求項5】 (a)半導体基板の表面内に、第1のNMOSトランジスタおよび第1のPMOSトランジスタを形成するための第1のNMOS領域および第1のPMOS領域を規定し、前記第1のNMOSトランジスタよりも動作電圧が高い第2のNMOSトランジスタを形成するための第2のNMOS領域および、前記第1のPMOSトランジスタよりも動作電圧が高い第2のPMOSトランジスタを形成するための第2のPMOS領域を規定する工程と、

(b)前記第1のNMOS領域および前記第1のPMOS領域に第1のゲート絶縁膜を形成し、前記第2のNMOS領域および前記第2のPMOS領域に前記第1のゲート絶縁膜よりも厚い第2のゲート絶縁膜を形成する工程と、

(c)第2のPMOS領域の前記半導体基板の表面内に比較的低濃度のP型不純物層を形成する工程と、

(d)前記第1および第2のゲート絶縁膜上に、N型不純物を比較的高濃度で含む非単結晶シリコン膜を形成する工程と、

(e)前記第1のPMOS領域の前記非単結晶シリコン膜にのみP型不純物を比較的高濃度で導入する工程と、

(f)前記非単結晶シリコン膜をパターニングして、前記第1のNMOS領域、前記第1のPMOS領域、前記第2のNMOS領域および前記第2のPMOS領域にそれぞれゲート電極を形成する工程と、を備える、半導体装置の製造方法。

【請求項6】 (a)半導体基板の表面内に、第1のNMOSトランジスタおよび第1のPMOSトランジスタを形成するための第1のNMOS領域および第1のPMOS領域を規定し、前記第1のNMOSトランジスタよりも動作電圧が高い第2のNMOSトランジスタを形成するための第2のNMOS領域および、前記第1のPMOSトランジスタよりも動作電圧が高い第2のPMOSトランジスタを形成するための第2のPMOS領域を規定する工程と(b)前記第1のNMOS領域および前記第1のPMOS領域に第1のゲート絶縁膜を形成し、前記第2のNMOS領域および前記第2のPMOS領域に前記第1のゲート絶縁膜よりも厚い第2のゲート絶縁膜を形成する工程と、

(c)第2のPMOS領域の前記半導体基板の表面内に比較的低濃度のP型不純物層を形成する工程と、

(d)前記第1および第2のゲート絶縁膜上に、不純物を含まない非単結晶シリコン膜を形成する工程と、

(e)前記第1のNMOS領域、前記第1のPMOS領域、前記第2のNMOS領域および前記第2のPMOS領域の前記非単結晶シリコン膜にのみ、N型不純物を比較的高濃度の第1の濃度で導入する工程と、

(f)前記非単結晶シリコン膜を用いて、前記第1のNMOS領域、前記第1のPMOS領域、前記第2のNMOS領域および前記第2のPMOS領域にそれぞれゲート電極を形成し、しかも前記第1のPMOS領域に形成されるゲート電極に、P型不純物を比較的高濃度の第2の濃度で含ませる工程と、を備える半導体装置の製造方法。

【請求項7】 前記工程(f)は、

前記非単結晶シリコン膜をパターニングした後に、前記第1のPMOSトランジスタを構成するソース・ドレイン層の形成時に、前記第1のPMOS領域に形成した前記ゲート電極に、P型不純物を前記第2の濃度で導入する工程を含む、請求項6記載の半導体装置の製造方法。

【請求項8】 前記工程(f)は、

前記第1のPMOS領域の前記非単結晶シリコン膜に、P型不純物を前記第2の濃度で導入した後、前記非単結

晶シリコン膜をパターニングする工程を含む、請求項6記載の半導体装置の製造方法。

【請求項9】 前記第1の濃度は前記第2の濃度以上である、請求項6記載の半導体装置の製造方法。

【請求項10】 前記工程(e)は、前記第1のNMOS領域、前記第1のPMOS領域、前記第2のNMOS領域および前記第2のPMOS領域の前記非単結晶シリコン膜に、窒素を導入する工程を含む、請求項6記載の半導体装置の製造方法。

【請求項11】 (g)前記非単結晶シリコン膜をパターニングした後に、不純物のイオン注入により、それぞれの前記ゲート電極の側面外方の前記半導体基板の表面内に1対のエクステンション層を形成する工程をさらに備え、前記工程(g)は、

前記第1および第2のPMOS領域に形成された、それぞれの前記ゲート電極を注入マスクとして使用し、同時にP型不純物をイオン注入して、それぞれ1対のP型エクステンション層を形成する工程を含む、請求項5または請求項6記載の半導体装置の製造方法。

【請求項12】 (g)前記非単結晶シリコン膜をパターニングした後に、不純物のイオン注入により、それぞれの前記ゲート電極の側面外方の前記半導体基板の表面内に1対のエクステンション層を形成する工程をさらに備え、

前記工程(g)は、前記第1のPMOS領域に形成された、前記ゲート電極を注入マスクとして使用し、1対のP型エクステンション層を前記第1のPMOS領域の前記半導体基板の表面内のみ形成する工程を含む、請求項5または請求項6記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置およびその製造方法に関し、特に、CMOSトランジスタおよびその製造方法に関する。

【0002】

【従来の技術】NチャネルMOSFET（以後、NMOSトランジスタと呼称）とPチャネルMOSFET（以後、PMOSトランジスタと呼称）とを組み合わせるCMOS（Complementary MOS）トランジスタの形成においては、NMOSトランジスタおよびPMOSトランジスタを形成するが、その際には、それぞれの特性に合わせたゲート電極を形成する必要がある。

【0003】ゲート長が0.25～0.35 μm のMOSトランジスタまでは、NMOSトランジスタには表面チャネル型を使用し、PMOSトランジスタには埋め込みチャネル型を使用し、両タイプとも、ゲート電極には不純物としてリン（P）を導入したポリシリコンを使用していた。

【0004】しかし、基板の内部にチャネルを形成する埋め込みチャネル型を採るPMOSトランジスタでは微細化が難しく、昨今では、NMOSトランジスタもPMOSトランジスタも表面チャネル型を使用し、NMOSトランジスタのゲート電極には不純物としてN型不純物を導入し、PMOSトランジスタのゲート電極には不純物としてP型不純物を導入する、デュアルゲートプロセスが一般的になりつつある。なお、デュアルゲートプロセスに対して、何れのゲート電極にも同じ種類の不純物を導入するプロセスはシングルゲートプロセスと呼称される。

【0005】デュアルゲートプロセスでは、ゲート電極としてノンドープのポリシリコン層を形成し、ゲート注入工程や、ソース・ドレイン注入工程で不純物の注入を行う。

【0006】しかしながら、表面チャネル型では、チャネルがゲート絶縁膜の直下に形成されるので、強い垂直電界により、キャリアの移動度が低下する可能性がある。また、電界が強いため、ホットキャリアストレス下での信頼性や、バイアス温度ストレス下での信頼性（NBTI：Negative Bias Temperature Instability）の低下が著しい。

【0007】そのため、比較的低い電圧で動作する低電圧部のトランジスタおよび、比較的高い電圧で動作する高電圧部のトランジスタのように、動作電圧の異なる複数種類のトランジスタを有する昨今の半導体装置では、高電圧部のトランジスタの性能、および信頼性が犠牲になる場合が多い。

【0008】＜第1の従来例＞まず、図30～図38を用いて、シングルゲートプロセスの一例として、CMOSトランジスタ70AおよびCMOSトランジスタ70Bを有する半導体装置の製造方法について説明する。なお、低電圧対応のCMOSトランジスタ70Aおよび高電圧対応のCMOSトランジスタ70Bの構成は、最終工程を説明する図38において示される。

【0009】まず、図30に示すように、シリコン基板10の表面内に素子分離絶縁膜20を選択的に形成して、低電圧NMOSトランジスタおよび低電圧PMOSトランジスタを形成する低電圧NMOS領域LNRおよび低電圧PMOS領域LPRを規定するとともに、高電圧NMOSトランジスタおよび高電圧PMOSトランジスタを形成する高電圧NMOS領域HNRおよび高電圧PMOS領域HPRを規定する。

【0010】そして、低電圧NMOS領域LNRおよび高電圧NMOS領域HNRに対応して、シリコン基板10の表面内にP型不純物を含んだPウェル領域PWを、低電圧PMOS領域LPRおよび高電圧PMOS領域HPRに対応して、シリコン基板10の表面内にN型不純物を含んだNウェル領域NWを形成する。なお、以下の説明においては、Pウェル領域PWおよびNウェル領域

NWを区別せず、単にシリコン基板と呼称する場合もある。

【0011】さらに、シリコン基板10上の低電圧NMOS領域LNRおよび低電圧PMOS領域LPR上の全面に、シリコン酸化膜等の絶縁膜で構成されるゲート絶縁膜41を形成する。また、シリコン基板10の高電圧NMOS領域HNRおよび高電圧PMOS領域HPR上全面にはシリコン酸化膜等の絶縁膜で構成されるゲート絶縁膜42を形成する。

【0012】ここで、ゲート絶縁膜41の厚さはシリコン酸化膜への換算膜厚が0.5~3nm程度となるように設定され、ゲート絶縁膜42の厚さはシリコン酸化膜への換算膜厚が3~10nm程度となるように設定される。

【0013】そして、低電圧PMOS領域LPRおよび高電圧PMOS領域HPRにおけるシリコン基板10の表面内に、P型不純物をイオン注入により比較的低濃度(P⁻)に導入して低濃度不純物層30を形成する。なお、図30においては、写真製版(フォトリソグラフィ)によるパターンニングにより、高電圧PMOS領域HPR上部以外をレジストマスクR1で覆い、高電圧PMOS領域HPRにP型不純物をイオン注入している状態を示している。同様の工程により、低電圧PMOS領域LPRにおけるシリコン基板10の表面内にP型不純物を導入し、低濃度不純物層30を形成する。

【0014】次に、図31に示す工程において、シリコン基板10の全面に、非単結晶シリコン膜50を配設する。この非単結晶シリコン膜50は、ポリシリコン膜あるいはアモルファスシリコン膜で形成され、P(リン)等のN型不純物を含むように構成されている。

【0015】次に、図32に示す工程において、非単結晶シリコン膜50を写真製版によりパターンニングすることで、低電圧NMOS領域LNRおよび低電圧PMOS領域LPRにおいてはゲート電極51を、高電圧NMOS領域HNRおよび高電圧PMOS領域HPRにおいてはゲート電極52を形成する。

【0016】次に、図33に示す工程において、低電圧PMOS領域LPRにおけるシリコン基板10の表面内に、P型不純物をイオン注入により比較的低濃度(P⁻)に導入して、1対のエクステンション層62を形成する。図33は、写真製版によるパターンニングにより低電圧PMOS領域LPR上部以外をレジストマスクR2で覆い、また、ゲート電極51を注入マスクとして、低電圧PMOS領域LPRにP型不純物をイオン注入している状態を示している。

【0017】1対のエクステンション層62はゲート電極51の下部の低濃度不純物層30を間に挟んで対向するように配設されている。この場合、低濃度不純物層30下部のシリコン基板10の領域がチャネル領域となる。

【0018】ここで、エクステンション層は、後に形成されるソース・ドレイン主要層よりも浅い接合となるように形成される不純物層であり、ソース・ドレイン主要層と同一導電型であり、ソース・ドレイン層として機能するのでソース・ドレインエクステンション層と呼称すべきであるが、便宜的にエクステンション層と呼称する。同様の工程により、他の領域にもエクステンション層を形成する。

【0019】図34は、各領域にエクステンション層を形成した後の工程を示しており、低電圧NMOS領域LNRおよび高電圧NMOS領域HNRのシリコン基板10の表面内には、N型不純物を比較的低濃度(N⁻)に導入して、1対のエクステンション層61および63が形成され、低電圧PMOS領域LPRおよび高電圧PMOS領域HPRのシリコン基板10の表面内には、P型不純物を比較的低濃度(P⁻)に導入して、それぞれ1対のエクステンション層62および64が形成されている。

【0020】なお、1対のエクステンション層64は、低濃度不純物層30を間に挟んでいる。

【0021】また、図34は、ゲート電極51および52の側壁を保護するための側壁保護膜(サイドウォール絶縁膜)を形成する工程を示しており、シリコン基板10の全面に、シリコン酸化膜等の絶縁膜OX1が形成された状態を示している。

【0022】この後、図35に示す工程において、絶縁膜OX1がゲート電極51および52の側壁部のみに残るように、ゲート電極51および52の上部およびシリコン基板1上の絶縁膜OX1を異方性エッチングにより除去して、側壁保護膜70を形成する。このとき、ゲート電極51および側壁保護膜70で覆われないゲート絶縁膜41も除去され、ゲート電極52および側壁保護膜70で覆われないゲート絶縁膜42も除去される。

【0023】次に、図36に示す工程において写真製版によるパターンニングにより低電圧PMOS領域LPR上部以外をレジストマスクR3で覆い、また、ゲート電極51および側壁保護膜70を注入マスクとして、低電圧PMOS領域LPRにP型不純物を比較的高濃度(P⁺)にイオン注入し、シリコン基板10の表面内に1対のソース・ドレイン層82を形成する。同様の工程により、他の領域にもソース・ドレイン層を形成する。なお、ソース・ドレイン層の形成後に、熱処理を加えることで、イオン注入による損傷を回復することができる。

【0024】図37は、各領域にソース・ドレイン層を形成した状態を示しており、低電圧NMOS領域LNRおよび高電圧NMOS領域HNRのシリコン基板10の表面内には、N型不純物を比較的高濃度(N⁺)に導入して、1対のソース・ドレイン層81および83が形成され、低電圧PMOS領域LPRおよび高電圧PMOS

領域HPRのシリコン基板10の表面内には、P型不純物を比較的低濃度(P⁺)に導入して、1対のソース・ドレイン層82および84が形成されている。

【0025】次に、図38に示す工程において、シリコン基板10の全面を覆うようにコバルト(Co)等の高融点金属膜をスパッタリング法等により形成し、350～600℃の高温処理により、シリコン基板10の露出面や、ゲート電極51および52の露出面と高融点金属膜との接触部分にシリサイド膜を形成する。その後、シリサイド化されずに残った高融点金属膜を除去し、さらに熱処理を行うことで、コバルトシリサイド膜(CoSi₂)90を形成して、図38に示す低電圧対応のCMOSトランジスタ70Aおよび高電圧対応のCMOSトランジスタ70Bが得られる。

【0026】図38において、低電圧PMOS領域LPRおよび高電圧PMOS領域HPRにおいては、埋め込みチャネル型のPMOSトランジスタが形成され、低電圧NMOS領域LNRおよび高電圧NMOS領域HNRにおいては、表面チャネル型のNMOSトランジスタが形成されている。そして、埋め込みチャネル型のPMOSトランジスタのゲート電極においては、N型不純物が導入されているので、結果として、シングルゲートプロセスとなっている。

【0027】<第2の従来例>次に、図39～図47を用いて、デュアルゲートプロセスの一例として、CMOSトランジスタ80AおよびCMOSトランジスタ80Bを有する半導体装置の製造方法について説明する。なお、低電圧対応のCMOSトランジスタ80Aおよび高電圧対応のCMOSトランジスタ80Bの構成は、最終工程を説明する図47において示される。なお、図30～図38を用いて説明した低電圧対応のCMOSトランジスタ70Aおよび高電圧対応のCMOSトランジスタ70Bの製造方法と同じ構成については同じ符号を付し、重複する説明は省略する。

【0028】まず、図39に示すように、シリコン基板10上の低電圧NMOS領域LNRおよび低電圧PMOS領域LPR上の全面に、シリコン酸化膜等の絶縁膜で構成されるゲート絶縁膜41を形成する。また、シリコン基板10の高電圧NMOS領域HNRおよび高電圧PMOS領域HPR上全面にはシリコン酸化膜等の絶縁膜で構成されるゲート絶縁膜42を形成する。

【0029】そして、シリコン基板10の全面に、非単結晶シリコン膜50Aを配設する。この非単結晶シリコン膜50Aは不純物を含んでいない。

【0030】次に、図40に示す工程において、非単結晶シリコン膜50Aを写真製版によりパターニングすることで、低電圧NMOS領域LNRおよび低電圧PMOS領域LPRにおいてはゲート電極51Aを、高電圧NMOS領域HNRおよび高電圧PMOS領域HPRにおいてはゲート電極52Aを形成する。

【0031】次に、図41に示す工程において、写真製版によるパターニングにより低電圧PMOS領域LPR上部以外をレジストマスクR2で覆い、また、ゲート電極51Aを注入マスクとして、低電圧PMOS領域LPRにおけるシリコン基板10の表面内に、P型不純物をイオン注入により比較的低濃度(P⁻)に導入して、1対のエクステンション層62を形成する。

【0032】図42は、各領域にエクステンション層を形成した後に、ゲート電極51Aおよび52Aの側壁を保護するための側壁保護膜(サイドウォール絶縁膜)を形成する工程を示しており、シリコン基板10の全面に、シリコン酸化膜等の絶縁膜OX1が形成された状態を示している。

【0033】この後、図43に示す工程において、絶縁膜OX1がゲート電極51Aおよび52Aの側壁部のみに残るように、ゲート電極51Aおよび52Aの上部およびシリコン基板1上の絶縁膜OX1を異方性エッチングにより除去して、側壁保護膜70を形成する。このとき、ゲート電極51Aおよび側壁保護膜70で覆われないゲート絶縁膜41も除去され、ゲート電極52Aおよび側壁保護膜70で覆われないゲート絶縁膜42も除去される。

【0034】次に、図44に示す工程において写真製版によるパターニングにより低電圧PMOS領域LPR上部以外をレジストマスクR3で覆い、また、ゲート電極51Aおよび側壁保護膜70を注入マスクとして、低電圧PMOS領域LPRにP型不純物を比較的高濃度(P⁺)にイオン注入し、シリコン基板10の表面内に1対のソース・ドレイン層82を形成する。このとき、ゲート電極51AにもP型不純物が導入され、エクステンション層62の形成時と併せて、ゲート電極51Aはソース・ドレイン層82と同程度以上のP型不純物を含んだゲート電極512Aとなる。

【0035】次に、図45に示す工程において、高電圧PMOS領域HPR上部以外をレジストマスクR4で覆い、また、ゲート電極52Aおよび側壁保護膜70を注入マスクとして、高電圧PMOS領域HPRにP型不純物を比較的高濃度(P⁺)にイオン注入し、シリコン基板10の表面内に1対のソース・ドレイン層84を形成する。このとき、ゲート電極52AにもP型不純物が導入され、エクステンション層64の形成時と併せて、ゲート電極52Aはソース・ドレイン層84と同程度以上のP型不純物を含んだゲート電極522Aとなる。

【0036】同様に、低電圧NMOS領域LNRおよび高電圧NMOS領域HNRにおけるソース・ドレイン層81および83の形成に際して、ゲート電極51Aおよび52AにN型不純物を導入し、エクステンション層61および63の形成時と併せて、ソース・ドレイン層84と同程度以上のN型不純物を含んだ、ゲート電極511Aおよび521Aとする。

【0037】図46は、各領域にソース・ドレイン層を形成した状態を示しており、低電圧NMOS領域LNRおよび高電圧NMOS領域HNRのシリコン基板10の表面内には、N型不純物を比較的高濃度（N⁺）に導入して、1対のソース・ドレイン層81および83が形成され、低電圧PMOS領域LPRおよび高電圧PMOS領域HPRのシリコン基板10の表面内には、P型不純物を比較的高濃度（P⁺）に導入して、1対のソース・ドレイン層82および84が形成されている。

【0038】次に、図47に示す工程において、シリコン基板10の全面を覆うようにコバルト（Co）等の高融点金属膜をスパッタリング法等により形成し、350～600℃の高温処理により、シリコン基板10の露出面や、ゲート電極511A、512A、521Aおよび522Aの露出面と高融点金属膜との接触部分にシリサイド膜を形成する。その後、シリサイド化されずに残った高融点金属膜を除去し、さらに熱処理を行うことで、コバルトシリサイド膜（CoSi₂）90を形成して、低電圧対応のCMOSトランジスタ80Aおよび高電圧対応のCMOSトランジスタ80Bが得られる。

【0039】＜第3の従来例＞次に、図48～図51を用いて、CMOSトランジスタ80AおよびCMOSトランジスタ80Bを有する半導体装置の他の製造方法について説明する。なお、低電圧対応のCMOSトランジスタ80Aおよび高電圧対応のCMOSトランジスタ80Bの構成は、図47に示したものと同じであるので、図示は省略する。また、図30～図38を用いて説明した低電圧対応のCMOSトランジスタ70Aおよび高電圧対応のCMOSトランジスタ70Bの製造方法と同じ構成については同じ符号を付し、重複する説明は省略する。

【0040】まず、図48に示すように、ゲート絶縁膜41および42の全面に、非単結晶シリコン膜50Aを配設する。この非単結晶シリコン膜50Aは不純物を含んでいない。

【0041】次に、図49に示す工程において、写真製版によるパターニングにより低電圧NMOS領域LNR上部および高電圧NMOS領域HNR上部以外をレジストマスクR5で覆い、非単結晶シリコン膜50A内にN型不純物をイオン注入により比較的高濃度（N⁺）に導入して、N型の非単結晶シリコン膜511および521を形成する。

【0042】次に、図50に示す工程において、写真製版によるパターニングにより低電圧PMOS領域LPR上部および高電圧PMOS領域HPR上部以外をレジストマスクR6で覆い、非単結晶シリコン膜50A内にP型不純物をイオン注入により比較的高濃度（P⁺）に導入して、P型の非単結晶シリコン膜512および522を形成する。

【0043】次に、図51に示す工程において、非単結

晶シリコン膜511、512、521および522を写真製版によりパターニングすることで、低電圧NMOS領域LNRおよび低電圧PMOS領域LPRにおいてはゲート電極511Aおよび512Aを、高電圧NMOS領域HNRおよび高電圧PMOS領域HPRにおいてはゲート電極521Aおよび522Aを形成する。以後は、図41～図47を用いて説明した工程を経て、図47に示した低電圧対応のCMOSトランジスタ80Aおよび高電圧対応のCMOSトランジスタ80Bの構成を得る。

【0044】なお、図48～図51を用いて説明した製造方法によれば、ゲート電極への不純物の導入は、ソース・ドレイン層形成時の不純物の導入と独立して行うことができるというだけでなく、ゲート電極が、非単結晶シリコンと金属膜あるいはシリサイド膜との多層膜で構成された場合は、ソース・ドレイン層形成時の不純物導入と併せての不純物導入ができないので、図48～図51に示す製造方法が有効となる。

【0045】

【発明が解決しようとする課題】以上説明したように、CMOSトランジスタ70AおよびCMOSトランジスタ70Bは、低電圧PMOS領域LPRおよび高電圧PMOS領域HPRにおいては、埋め込みチャネル型のPMOSトランジスタを有し、低電圧NMOS領域LNRおよび高電圧NMOS領域HNRにおいては、表面チャネル型のNMOSトランジスタを有しているが、埋め込みチャネル型のMOSトランジスタでは微細化が難しいという問題があった。

【0046】また、CMOSトランジスタ80AおよびCMOSトランジスタ80Bは、NMOSトランジスタもPMOSトランジスタも表面チャネル型であり、微細化の観点からは問題ないが、電界によるキャリアの移動度の低下や、ホットキャリアストレス下での信頼性の低下や、NBTIの低下の問題があった。

【0047】本発明は上記のような問題点を解消するためになされたもので、微細化の要求および信頼性の要求を満たすことが可能なCMOSトランジスタおよびその製造方法を提供することを目的とする。

【0048】

【課題を解決するための手段】本発明に係る請求項1記載の半導体装置は、半導体基板の表面内に規定される第1のNMOS領域および第1のPMOS領域に、それぞれ配設された、第1のNMOSトランジスタおよび第1のPMOSトランジスタと、前記半導体基板の表面内に規定される第2のNMOS領域および第2のPMOS領域に、それぞれ配設された、第2のNMOSトランジスタおよび第2のPMOSトランジスタとを備え、前記第2のNMOSトランジスタおよび前記第2のPMOSトランジスタはそれぞれ前記第1のNMOSトランジスタおよび前記第1のPMOSトランジスタよりも動作電圧

が高く、前記第2のPMOSトランジスタは、前記半導体基板内部にチャンネルが形成される埋め込みチャンネル型のMOSトランジスタであって、前記第1のNMOSTランジスタ、前記第1のPMOSTランジスタおよび前記第2のNMOSTランジスタは、前記半導体基板の表面内にチャンネルが形成される表面チャンネル型のMOSトランジスタである。

【0049】本発明に係る請求項2記載の半導体装置は、前記第2のPMOSTランジスタが、前記第2のPMOS領域の前記半導体基板の表面上に選択的に配設されたゲート絶縁膜と、前記ゲート絶縁膜上に配設されたゲート電極と、前記ゲート絶縁膜の直下の前記半導体基板の表面内に配設された比較的低濃度のP型不純物層と、前記ゲート電極の側面外方の前記半導体基板の表面内に配設され、前記不純物層と接触する1対のP型ソース・ドレイン層とを有している。

【0050】本発明に係る請求項3記載の半導体装置は、前記1対のP型ソース・ドレイン層が、互いに向かい合う端縁部から、対向するように延在する1対のP型エクステンション層を含んでいる。

【0051】本発明に係る請求項4記載の半導体装置は、前記ゲート電極が、N型不純物を比較的高濃度を含んでいる。

【0052】本発明に係る請求項5記載の半導体装置の製造方法は、半導体基板の表面内に、第1のNMOSTランジスタおよび第1のPMOSTランジスタを形成するための第1のNMOS領域および第1のPMOS領域を規定し、前記第1のNMOSTランジスタよりも動作電圧が高い第2のNMOSTランジスタを形成するための第2のNMOS領域および、前記第1のPMOSTランジスタよりも動作電圧が高い第2のPMOSTランジスタを形成するための第2のPMOS領域を規定する工程(a)と、前記第1のNMOS領域および前記第1のPMOS領域に第1のゲート絶縁膜を形成し、前記第2のNMOS領域および前記第2のPMOS領域に前記第1のゲート絶縁膜よりも厚い第2のゲート絶縁膜を形成する工程(b)と、第2のPMOS領域の前記半導体基板の表面内に比較的低濃度のP型不純物層を形成する工程(c)と、前記第1および第2のゲート絶縁膜上に、N型不純物を比較的高濃度で含む非単結晶シリコン膜を形成する工程(d)と、前記第1のPMOS領域の前記非単結晶シリコン膜にのみP型不純物を比較的高濃度で導入する工程(e)と、前記非単結晶シリコン膜をパターニングして、前記第1のNMOS領域、前記第1のPMOS領域、前記第2のNMOS領域および前記第2のPMOS領域にそれぞれゲート電極を形成する工程(f)とを備えている。

【0053】本発明に係る請求項6記載の半導体装置の製造方法は、半導体基板の表面内に、第1のNMOSTランジスタおよび第1のPMOSTランジスタを形成す

るための第1のNMOS領域および第1のPMOS領域を規定し、前記第1のNMOSTランジスタよりも動作電圧が高い第2のNMOSTランジスタを形成するための第2のNMOS領域および、前記第1のPMOSTランジスタよりも動作電圧が高い第2のPMOSTランジスタを形成するための第2のPMOS領域を規定する工程(a)と、前記第1のNMOS領域および前記第1のPMOS領域に第1のゲート絶縁膜を形成し、前記第2のNMOS領域および前記第2のPMOS領域に前記第1のゲート絶縁膜よりも厚い第2のゲート絶縁膜を形成する工程(b)と、第2のPMOS領域の前記半導体基板の表面内に比較的低濃度のP型不純物層を形成する工程(c)と、前記第1および第2のゲート絶縁膜上に、不純物を含まない非単結晶シリコン膜を形成する工程(d)と、前記第1のNMOS領域、前記第1のPMOS領域、前記第2のNMOS領域および前記第2のPMOS領域の前記非単結晶シリコン膜にのみ、N型不純物を比較的高濃度の第1の濃度で導入する工程(e)と、前記非単結晶シリコン膜を用いて、前記第1のNMOS領域、前記第1のPMOS領域、前記第2のNMOS領域および前記第2のPMOS領域にそれぞれゲート電極を形成し、しかも前記第1のPMOS領域に形成されるゲート電極に、P型不純物を比較的高濃度の第2の濃度で含ませる工程(f)とを備えている。

【0054】本発明に係る請求項7記載の半導体装置の製造方法は、前記工程(f)が、前記非単結晶シリコン膜をパターニングした後に、前記第1のPMOSTランジスタを構成するソース・ドレイン層の形成時に、前記第1のPMOS領域に形成した前記ゲート電極に、P型不純物を前記第2の濃度で導入する工程を含んでいる。

【0055】本発明に係る請求項8記載の半導体装置の製造方法は、前記工程(f)が、前記第1のPMOS領域の前記非単結晶シリコン膜に、P型不純物を前記第2の濃度で導入した後、前記非単結晶シリコン膜をパターニングする工程を含んでいる。

【0056】本発明に係る請求項9記載の半導体装置の製造方法は、前記第1の濃度が前記第2の濃度以上である。

【0057】本発明に係る請求項10記載の半導体装置の製造方法は、前記工程(e)が、前記第1のNMOS領域、前記第1のPMOS領域、前記第2のNMOS領域および前記第2のPMOS領域の前記非単結晶シリコン膜に、窒素を導入する工程を含んでいる。

【0058】本発明に係る請求項11記載の半導体装置の製造方法は、前記非単結晶シリコン膜をパターニングした後に、不純物のイオン注入により、それぞれの前記ゲート電極の側面外方の前記半導体基板の表面内に1対のエクステンション層を形成する工程(g)をさらに備え、前記工程(g)が、前記第1および第2のPMOS領域に形成された、それぞれの前記ゲート電極を注入マ

クとして使用し、同時にP型不純物をイオン注入して、それぞれ1対のP型エクステンション層を形成する工程を含んでいる。

【0059】本発明に係る請求項12記載の半導体装置の製造方法は、前記非単結晶シリコン膜をパターンニングした後に、不純物のイオン注入により、それぞれの前記ゲート電極の側面外方の前記半導体基板の表面内に1対のエクステンション層を形成する工程(g)をさらに備え、前記工程(g)が、前記第1のPMOS領域に形成された、前記ゲート電極を注入マスクとして使用し、1対のP型エクステンション層を前記第1のPMOS領域の前記半導体基板の表面内にのみ形成する工程を含んでいる。

【0060】

【発明の実施の形態】< A. 実施の形態1 >

< A-1. 製造方法 > 本発明に係る実施の形態1の半導体装置の製造方法として、図1～図9を用いて、CMOSTランジスタ100AおよびCMOSTランジスタ100Bを有する半導体装置の製造方法について説明する。なお、低電圧対応のCMOSTランジスタ100Aおよび高電圧対応のCMOSTランジスタ100Bの構成は、最終工程を説明する図9において示される。

【0061】まず、図1に示すように、シリコン基板10の表面内に素子分離絶縁膜20を選択的に形成して、低電圧NMOSTランジスタおよび低電圧PMOSTランジスタを形成する低電圧NMOS領域LNRおよび低電圧PMOS領域LPRを規定するとともに、高電圧NMOSTランジスタおよび高電圧PMOSTランジスタを形成する高電圧NMOS領域HNRおよび高電圧PMOS領域HPRを規定する。

【0062】そして、低電圧NMOS領域LNRおよび高電圧NMOS領域HNRに対応して、シリコン基板10の表面内にP型不純物を含んだPウェル領域PWを、低電圧PMOS領域LPRおよび高電圧PMOS領域HPRに対応して、シリコン基板10の表面内にN型不純物を含んだNウェル領域NWを形成する。なお、以下の説明においては、Pウェル領域PWおよびNウェル領域NWを区別せず、単にシリコン基板と呼称する場合もある。

【0063】さらに、シリコン基板10上の低電圧NMOS領域LNRおよび低電圧PMOS領域LPR上の全面に、シリコン酸化膜等の絶縁膜で構成されるゲート絶縁膜41を形成する。また、シリコン基板10の高電圧NMOS領域HNRおよび高電圧PMOS領域HPR上全面にはシリコン酸化膜等の絶縁膜で構成されるゲート絶縁膜42を形成する。

【0064】ここで、ゲート絶縁膜41の厚さはシリコン酸化膜への換算膜厚が0.5～3nm程度となるように設定され、ゲート絶縁膜42の厚さはシリコン酸化膜への換算膜厚が3～10nm程度となるように設定され

る。

【0065】そして、後に埋め込みチャネル型のMOSトランジスタを形成する高電圧PMOS領域HPRにおけるシリコン基板10の表面内に、P型不純物をイオン注入により比較的低濃度(P⁻)に導入して、低濃度不純物層30を形成する。なお、図1においては、写真製版(フォトリソグラフィ)によるパターンニングにより、高電圧PMOS領域HPR上部以外をレジストマスクR11で覆い、高電圧PMOS領域HPRにP型不純物をイオン注入している状態を示している。なお、低濃度不純物層30は、ボロン(B)あるいは二フッ化ボロン(BF₂)をイオン注入することで形成される。

【0066】次に、図2に示す工程において、シリコン基板10の全面に、CVD法により厚さ50～300nmの非単結晶シリコン膜50を配設する。この非単結晶シリコン膜50は、ポリシリコン膜あるいはアモルファスシリコン膜で形成され、P(リン)等のN型不純物を $5 \times 10^{20} \sim 1 \times 10^{22} / \text{cm}^3$ の濃度で含んでいる。

【0067】次に、図3に示す工程において、写真製版によるパターンニングにより、低電圧PMOS領域LPR上部以外をレジストマスクR12で覆い、低電圧PMOS領域LPR上の非単結晶シリコン膜50にBあるいはBF₂等のP型不純物をイオン注入して、P型の非単結晶シリコン膜50Bを形成する。このときのイオン注入条件は、Bの場合は、注入エネルギー1keV～10keV、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ であり、BF₂の場合は、注入エネルギー5keV～50keV、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ であり、非単結晶シリコン膜50に含まれるN型不純物による効果をうち消すことができる濃度に設定される。

【0068】レジストマスクR12を除去した後、図4に示すように、非単結晶シリコン膜50および非単結晶シリコン膜50Bを写真製版によりパターンニングすることで、低電圧NMOS領域LNRにおいてはゲート電極51を、低電圧PMOS領域LPRにおいてはゲート電極53を、高電圧NMOS領域HNRおよび高電圧PMOS領域HPRにおいてはゲート電極52を形成する。

【0069】そして、図4に示すように、写真製版によるパターンニングにより低電圧PMOS領域LPR上部以外をレジストマスクR13で覆い、また、ゲート電極53を注入マスクとして、低電圧PMOS領域LPRにおけるシリコン基板10の表面内に、BあるいはBF₂等のP型不純物をイオン注入により比較的低濃度(P⁻)に導入して、1対のエクステンション層62を形成する。このときのイオン注入条件は、Bの場合は、注入エネルギー0.1keV～3keV、ドーズ量 $5 \times 10^{13} \sim 1 \times 10^{15} / \text{cm}^2$ であり、BF₂の場合は、注入エネルギー1keV～10keV、ドーズ量 $5 \times 10^{13} \sim 1 \times 10^{15} / \text{cm}^2$ である。

【0070】1対のエクステンション層62はゲート電

極53の下部のシリコン基板10の領域を間に挟んで、対向するように配設されている。なお、ゲート電極53の下部のシリコン基板10の領域がチャネル領域となる。

【0071】ここで、エクステンション層は、短チャネル効果の抑制に有効な構成であり、後に形成されるソース・ドレイン主要層よりも浅い接合となるように形成される不純物層であり、ソース・ドレイン主要層と同一導電型で、ソース・ドレイン層として機能するのでソース・ドレインエクステンション層と呼称すべきであるが、便宜的にエクステンション層と呼称する。同様の工程により、他の領域にもエクステンション層を形成する。

【0072】図5は、各領域にエクステンション層を形成した後の工程を示しており、低電圧NMOS領域LNRおよび高電圧NMOS領域HNRのシリコン基板10の表面内には、ヒ素(As)等のN型不純物を、比較的低濃度(注入エネルギー0.2keV~10keV、ドーズ量 $1 \times 10^{14} \sim 2 \times 10^{15} / \text{cm}^2$)で導入して、1対のエクステンション層61および63が形成され、高電圧PMOS領域HPRのシリコン基板10の表面内には、BあるいはBF₂等のP型不純物を、イオン注入により比較的低濃度(P⁻)に導入して1対のエクステンション層64が形成されている。このときのイオン注入条件は、Bの場合は、注入エネルギー0.1keV~3keV、ドーズ量 $5 \times 10^{13} \sim 1 \times 10^{15} / \text{cm}^2$ であり、BF₂の場合は、注入エネルギー1keV~10keV、ドーズ量 $5 \times 10^{13} \sim 1 \times 10^{15} / \text{cm}^2$ である。

【0073】なお、1対のエクステンション層64は、低濃度不純物層30を間に挟んでいる。

【0074】図5は、ゲート電極51、52および53の側壁を保護するための側壁保護膜(サイドウォール絶縁膜)を形成する工程を示しており、シリコン基板10の全面に、シリコン酸化膜等の絶縁膜OX1が形成された状態を示している。

【0075】この後、図6に示す工程において、絶縁膜OX1がゲート電極51、52および53の側壁部のみに残るように、ゲート電極51、52および53の上部およびシリコン基板1上の絶縁膜OX1を異方性エッチングにより除去して、側壁保護膜70を形成する。このとき、ゲート電極51、53および側壁保護膜70で覆われないゲート絶縁膜41も除去され、ゲート電極52および側壁保護膜70で覆われないゲート絶縁膜42も除去される。

【0076】次に、図7に示す工程において写真製版によるパターンニングにより低電圧PMOS領域LPR上部以外をレジストマスクR14で覆い、また、ゲート電極53および側壁保護膜70を注入マスクとして、低電圧PMOS領域LPRに、BあるいはBF₂等のP型不純物をイオン注入して、シリコン基板10の表面内に1対

のソース・ドレイン層82を形成する。

【0077】このときのイオン注入条件は、Bの場合は、注入エネルギー1keV~10keV、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ であり、BF₂の場合は、注入エネルギー5keV~50keV、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ である。

【0078】同様の工程により、他の領域にもソース・ドレイン層を形成する。なお、ソース・ドレイン層の形成後に、熱処理を加えることで、イオン注入による損傷を回復することができる。

【0079】図8は、各領域にソース・ドレイン層を形成した状態を示しており、低電圧NMOS領域LNRおよび高電圧NMOS領域HNRのシリコン基板10の表面内には、As等のN型不純物を比較的高濃度(注入エネルギー10keV~80keV、ドーズ量 $1 \times 10^{15} \sim 6 \times 10^{15} / \text{cm}^2$)に導入して、1対のソース・ドレイン層81および83が形成され、高電圧PMOS領域HPRのシリコン基板10の表面内には、BあるいはBF₂等のP型不純物を比較的低濃度に導入して、1対のソース・ドレイン層84が形成されている。

【0080】このときのイオン注入条件は、Bの場合は、注入エネルギー1keV~10keV、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ であり、BF₂の場合は、注入エネルギー5keV~50keV、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ である。

【0081】次に、図9に示す工程において、シリコン基板10の全面を覆うようにコバルト(Co)等の高融点金属膜をスパッタリング法等により形成し、350~600℃の高温処理により、シリコン基板10の露出面や、ゲート電極51、52および53の露出面と高融点金属膜との接触部分にシリサイド膜を形成する。その後、シリサイド化されずに残った高融点金属膜を除去し、さらに熱処理を行うことで、コバルトシリサイド膜(CoSi₂)90を形成して、低電圧対応のCMOSトランジスタ100Aおよび高電圧対応のCMOSトランジスタ100Bが得られる。

【0082】<A-2. 装置構成>図9において、埋め込みチャネル型のPMOSトランジスタは高電圧対応のCMOSトランジスタ100Bにおいてのみ配設され、低電圧NMOS領域LNR、および高電圧NMOS領域HNRにおいては、表面チャネル型のNMOSトランジスタが形成され、低電圧PMOS領域LPRにおいては、表面チャネル型のPMOSトランジスタが形成されている。

【0083】<A-3. 作用効果>チャネル構造を埋め込みチャネル型とすることで、チャネルに印加される電界が緩和され、キャリアの移動度が向上する。その結果、高電圧対応のCMOSトランジスタ100Bにおいて、PMOSトランジスタを埋め込みチャネル型とすることで、表面チャネル型よりもドレイン電流を向上でき

る。

【0084】また、高電圧対応のPMOSトランジスタ以外は、表面チャネル型であるので、ホットキャリアストレス下での信頼性や、バイアス-温度ストレス下での信頼性(NBTI)の低下の可能性もあるが、低電圧対応のCMOSトランジスタにおいては電界も弱く、信頼性低下の問題も起こりにくい。

【0085】また、高電圧対応のPMOSトランジスタのみを埋め込みチャネル型とするので、半導体装置の微細化を促進できる。

【0086】また、高電圧対応のPMOSトランジスタのゲート電極がN型不純物を高濃度に含むので、当該ゲート電極の電気抵抗を低下させることができる。

【0087】また、全てのMOSトランジスタのゲート電極への不純物導入は、図2および図3を用いて説明したように、ゲート電極成形前に行うので、ソース・ドレイン層形成時の不純物の導入と独立して行うことができ、不純物導入量の制御が容易である。また、ゲート電極が、非単結晶シリコンと金属膜あるいはシリサイド膜との多層膜で構成される場合は、ソース・ドレイン層形成時の不純物導入と併せての不純物導入ができないので、本実施の形態の製造方法が有効となる。

【0088】<B. 実施の形態2>

<B-1. 製造方法>本発明に係る実施の形態2の半導体装置の製造方法として、図10～図13を用いて、CMOSトランジスタ200AおよびCMOSトランジスタ200Bを有する半導体装置の製造方法について説明する。なお、低電圧対応のCMOSトランジスタ100Aおよび高電圧対応のCMOSトランジスタ100Bの構成は、最終工程を説明する図13において示される。なお、図1～図9を用いて説明した低電圧対応のCMOSトランジスタ100Aおよび高電圧対応のCMOSトランジスタ100Bの製造方法と同じ構成については同じ符号を付し、重複する説明は省略する。

【0089】まず、図1および図2を用いて説明した工程を経て、図10に示すように、シリコン基板10上の低電圧NMOS領域LNRおよび低電圧PMOS領域LPR上の全面にゲート絶縁膜41を、また、高電圧NMOS領域HNRおよび高電圧PMOS領域HPR上全面にゲート絶縁膜42を形成し、高電圧PMOS領域HPRにおけるシリコン基板10の表面内に、低濃度不純物層30を形成する。

【0090】そして、ゲート絶縁膜41および42の上部に、CVD法により非単結晶シリコン膜50Aを形成する。この非単結晶シリコン膜50Aは不純物を含んでいない。

【0091】そして、図10に示す工程において、写真製版によるパターンニングにより、低電圧PMOS領域LPR上部のみレジストマスクR21で覆い、低電圧NMOS領域LNR、高電圧NMOS領域HNRおよび高電

圧PMOS領域HPRに、リン(P)等のN型不純物をイオン注入して、N型の非単結晶シリコン膜50Cを形成する。このときのイオン注入条件は、注入エネルギー5keV～30keV、ドーズ量 $4 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ である。

【0092】レジストマスクR21を除去した後、図11に示すように、非単結晶シリコン膜50Aおよび非単結晶シリコン膜50Cを写真製版によりパターンニングすることで、低電圧NMOS領域LNRにおいてはゲート電極54を、低電圧PMOS領域LPRにおいてはゲート電極55を、高電圧NMOS領域HNRおよび高電圧PMOS領域HPRにおいてはゲート電極56を形成する。

【0093】以後、図4～図6を用いて説明した工程を経て、エクステンション層61～64を形成し、ゲート電極54、55および56の側壁を保護するための側壁保護膜(サイドウォール絶縁膜)70を形成する。

【0094】そして、図12に示す工程において写真製版によるパターンニングにより低電圧PMOS領域LPR上部以外をレジストマスクR22で覆い、また、ゲート電極55および側壁保護膜70を注入マスクとして、低電圧PMOS領域LPRにBあるいはBF₂等のP型不純物を比較的高濃度にイオン注入し、シリコン基板10の表面内に1対のソース・ドレイン層82を形成する。

【0095】このときのイオン注入条件は、Bの場合は、注入エネルギー1keV～10keV、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ であり、BF₂の場合は、注入エネルギー5keV～50keV、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ である。

【0096】なお、この際に、ノンドープのゲート電極55にはソース・ドレイン層82と同じP型不純物が導入され、ゲート電極55とシリコン基板10との仕事関数差を小さくでき、しきい値電圧を下げることができる。

【0097】以後、図8を用いて説明した工程を経て、ソース・ドレイン層81、83、84を形成する。なお、ソース・ドレイン層84の形成に際しては、高電圧PMOS領域HPRのゲート電極56にP型不純物が導入されるが、高電圧PMOS領域HPRにおいては、ゲート電極56をN型に保つことが望ましいので、図10に示す工程でN型不純物のドーズ量を $4 \times 10^{15} / \text{cm}^2$ 以上とした場合には、ソース・ドレイン層84の形成においては、P型不純物のドーズ量を $4 \times 10^{15} \text{cm}^2$ 以下とする。なお、P(リン)の方が、B(ボロン)よりも活性化しやすいので、ドーズ量が同じ場合にはN型となる。

【0098】なお、ソース・ドレイン層の形成後に、熱処理を加えることで、イオン注入による損傷を回復することができる。

【0099】次に、図13に示す工程において、シリコ

ン基板10の全面を覆うようにコバルト(Co)等の高融点金属膜をスパッタリング法等により形成し、350~600℃の高温処理により、シリコン基板10の露出面や、ゲート電極54、55および56の露出面と高融点金属膜との接触部分にシリサイド膜を形成する。その後、シリサイド化されずに残った高融点金属膜を除去し、さらに熱処理を行うことで、コバルトシリサイド膜(CoSi₂)90を形成して、低電圧対応のCMOSトランジスタ200Aおよび高電圧対応のCMOSトランジスタ200Bが得られる。

【0100】<B-2. 装置構成>図13において、埋め込みチャネル型のPMOSトランジスタは高電圧対応のCMOSトランジスタ200Bにおいてのみ配設され、低電圧NMOS領域LNR、および高電圧NMOS領域HNRにおいては、表面チャネル型のNMOSトランジスタが形成され、低電圧PMOS領域LPRにおいては、表面チャネル型のPMOSトランジスタが形成されている。

【0101】<B-3. 作用効果>チャネル構造を埋め込みチャネル型とすることで、チャネルに印加される電界が緩和され、キャリアの移動度が向上する。その結果、高電圧対応のCMOSトランジスタ200Bにおいて、PMOSトランジスタを埋め込みチャネル型とすることで、表面チャネル型よりもドレイン電流を向上できる。

【0102】また、高電圧対応のPMOSトランジスタ以外は、表面チャネル型であるので、ホットキャリアストレス下での信頼性や、バイアス-温度ストレス下での信頼性(NBTI)の低下の可能性もあるが、低電圧対応のCMOSトランジスタにおいては電界も弱く、信頼性低下の問題も起こりにくい。

【0103】また、高電圧対応のPMOSトランジスタのみを埋め込みチャネル型とするので、半導体装置の微細化を促進できる。

【0104】また、低電圧対応のPMOSトランジスタ以外のゲート電極への不純物導入は、図10を用いて説明したように、ゲート電極形成前に行うので、ソース・ドレイン層形成時の不純物の導入と独立して行うことができ、不純物導入量の制御が容易である。

【0105】<B-4. 変形例>図10を用いて説明した不純物注入によるN型の非単結晶シリコン膜50Cの形成に際しては、窒素(N)を、例えば、注入エネルギー3~20keV、ドーズ量 $1 \times 10^{15} \sim 4 \times 10^{15} / \text{cm}^2$ の条件で注入することで、ソース・ドレイン層84の形成時に導入されるP型不純物(ここではボロン)の拡散を防止して、ゲート電極56をN型に保つことができる。

【0106】なお、窒素の注入条件は、ソース・ドレイン層84の形成時に導入されるP型不純物よりも深く、ゲート絶縁膜には達しない深さであって、望ましくはP

型不純物層が近接して存在するような位置に窒素層が形成される条件であれば良い。

【0107】また、窒素を導入することで、NMOSトランジスタの信頼性や駆動能力を向上できる。

【0108】<C. 実施の形態3>

<C-1. 製造方法>本発明に係る実施の形態3の半導体装置の製造方法として、図14~図21を用いて、CMOSトランジスタ300AおよびCMOSトランジスタ300Bを有する半導体装置の製造方法について説明する。なお、低電圧対応のCMOSトランジスタ300Aおよび高電圧対応のCMOSトランジスタ300Bの構成は、最終工程を説明する図21において示される。なお、図1~図9を用いて説明した低電圧対応のCMOSトランジスタ100Aおよび高電圧対応のCMOSトランジスタ100Bの製造方法と同じ構成については同じ符号を付し、重複する説明は省略する。

【0109】まず、図1および図2を用いて説明した工程を経て、図14に示すように、シリコン基板10上の低電圧NMOS領域LNRおよび低電圧PMOS領域LPR上の全面にゲート絶縁膜41を、また、高電圧NMOS領域HNRおよび高電圧PMOS領域HPR上全面にゲート絶縁膜42を形成し、高電圧PMOS領域HPRにおけるシリコン基板10の表面内に、低濃度不純物層30を形成する。

【0110】そして、ゲート絶縁膜41および42の上部に、CVD法により非単結晶シリコン膜50Aを形成する。この非単結晶シリコン膜50Aは不純物を含んでいない。

【0111】次に、図14に示す工程において、写真製版によるパターニングにより、低電圧PMOS領域LPR上部のみレジストマスクR31で覆い、低電圧NMOS領域LNR、高電圧NMOS領域HNRおよび高電圧PMOS領域HPRに、P等のN型不純物をイオン注入して、N型の非単結晶シリコン膜50Cを形成する。このときのイオン注入条件は、注入エネルギー5keV~30keV、ドーズ量 $4 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ である。

【0112】レジストマスクR31を除去した後、図15に示す工程において、写真製版によるパターニングにより、低電圧PMOS領域LPR上部以外をレジストマスクR32で覆い、低電圧PMOS領域LPR上の非単結晶シリコン膜50AにBあるいはBF₂等のP型不純物をイオン注入して、P型の非単結晶シリコン膜50Dを形成する。

【0113】このときのイオン注入条件は、Bの場合は、注入エネルギー1keV~10keV、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ であり、BF₂の場合は、注入エネルギー5keV~50keV、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ である。

【0114】レジストマスクR32を除去した後、図1

6に示す工程において、非単結晶シリコン膜50Cおよび非単結晶シリコン膜50D上の全面を覆うようにコバルト(Co)等の高融点金属膜をスパッタリング法等により形成し、350~600℃の高温処理により、シリサイド膜を形成する。その後、シリサイド化されずに残った高融点金属膜を除去し、さらに熱処理を行うことで、コバルトシリサイド膜(CoSi₂)91を形成する。

【0115】そして、コバルトシリサイド膜91の全面に、シリコン窒化膜SNを形成する。シリコン窒化膜SNは、コバルトシリサイド膜91の保護膜として機能する。

【0116】次に、図17に示す工程において、非単結晶シリコン膜50Cおよび非単結晶シリコン膜50Dとともにコバルトシリサイド膜91およびシリコン窒化膜SNを写真製版によりパターニングすることで、低電圧NMOS領域LNRにおいてはゲート電極54を、低電圧PMOS領域LPRにおいてはゲート電極57を、高電圧NMOS領域HNRおよび高電圧PMOS領域HPRにおいてはゲート電極56を形成する。なお、全てのゲート電極の上部にはコバルトシリサイド膜91およびシリコン窒化膜SNが残る。

【0117】以後、図4~図6を用いて説明した工程を経て、エクステンション層61~64を形成し、ゲート電極54、57および56の側壁を保護するための側壁保護膜(サイドウォール絶縁膜)70を形成する。この際、側壁保護膜70はコバルトシリサイド膜91およびシリコン窒化膜SNの側面にも形成される。

【0118】次に、図18に示す工程において写真製版によるパターニングにより低電圧PMOS領域LPR上部以外をレジストマスクR33で覆い、また、ゲート電極57、コバルトシリサイド膜91、シリコン窒化膜SNの積層体および側壁保護膜70を注入マスクとして、低電圧PMOS領域LPRにBあるいはBF₂等のP型不純物を比較的高濃度にイオン注入し、シリコン基板10の表面内に1対のソース・ドレイン層82を形成する。

【0119】このときのイオン注入条件は、Bの場合は、注入エネルギー1keV~10keV、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ であり、BF₂の場合は、注入エネルギー5keV~50keV、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ である。

【0120】同様の工程により、他の領域にもソース・ドレイン層を形成する。なお、ソース・ドレイン層の形成後に、熱処理を加えることで、イオン注入による損傷を回復することができる。

【0121】図19は、各領域にソース・ドレイン層を形成した状態を示しており、低電圧NMOS領域LNRおよび高電圧NMOS領域HNRのシリコン基板10の表面内には、As等のN型不純物を比較的高濃度(注入

エネルギー10keV~80keV、ドーズ量 $1 \times 10^{15} \sim 6 \times 10^{16} / \text{cm}^2$)に導入して、1対のソース・ドレイン層81および83が形成され、高電圧PMOS領域HPRのシリコン基板10の表面内には、BあるいはBF₂等のP型不純物を比較的低濃度に導入して、1対のソース・ドレイン層84が形成されている。

【0122】このときのイオン注入条件は、Bの場合は、注入エネルギー1keV~10keV、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ であり、BF₂の場合は、注入エネルギー5keV~50keV、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ である。

【0123】次に、図20に示す工程において、シリコン基板10の全面を覆うようにコバルト(Co)等の高融点金属膜をスパッタリング法等により形成し、350~600℃の高温処理により、シリコン基板10の露出面と高融点金属膜との接触部分にシリサイド膜を形成する。なお、コバルトシリサイド膜91の上部にはシリコン窒化膜SNが形成されているので、さらにシリサイド膜が形成されることが防止される。

【0124】その後、シリサイド化されずに残った高融点金属膜を除去し、さらに熱処理を行うことで、コバルトシリサイド膜(CoSi₂)90を形成する。

【0125】最後に、各ゲート電極上のシリコン窒化膜SNをエッチングにより除去することで、図21に示す、低電圧対応のCMOSトランジスタ300Aおよび高電圧対応のCMOSトランジスタ300Bが得られる。なお、各ゲート電極上のシリコン窒化膜SNを除去せずに残し、図20の構成をCMOSトランジスタ300Aおよび300Bとしても良い。

【0126】<C-2. 装置構成>図21において、埋め込みチャネル型のPMOSTランジスタは高電圧対応のCMOSTランジスタ300Bにおいてのみ配設され、低電圧NMOS領域LNR、および高電圧NMOS領域HNRにおいては、表面チャネル型のNMOSTランジスタが形成され、低電圧PMOS領域LPRにおいては、表面チャネル型のPMOSTランジスタが形成されている。

【0127】<C-3. 作用効果>チャネル構造を埋め込みチャネル型とすることで、チャネルに印加される電界が緩和され、キャリアの移動度が向上する。その結果、高電圧対応のCMOSTランジスタ300Bにおいて、PMOSTランジスタを埋め込みチャネル型とすることで、表面チャネル型よりもドレイン電流を向上できる。

【0128】また、高電圧対応のPMOSTランジスタ以外は、表面チャネル型であるので、ホットキャリアストレス下での信頼性や、バイアス-温度ストレス下での信頼性(NBTI)の低下の可能性もあるが、低電圧対応のCMOSTランジスタにおいては電界も弱く、信頼性低下の問題も起こりにくい。

【0129】また、高電圧対応のPMOSTランジスタのみを埋め込みチャネル型とするので、半導体装置の微細化を促進できる。

【0130】また、低電圧対応のPMOSTランジスタ以外のゲート電極への不純物導入は、図14および図15を用いて説明したように、ゲート電極成形前に行うので、ソース・ドレイン層形成時の不純物の導入と独立して行うことができ、不純物導入量の制御が容易である。

【0131】<D. 実施の形態4>

<D-1. 製造方法>本発明に係る実施の形態4の半導体装置の製造方法として、図22～図26を用いて、CMOSTランジスタ200AおよびCMOSTランジスタ200Bを有する半導体装置の製造方法について説明する。なお、低電圧対応のCMOSTランジスタ200Aおよび高電圧対応のCMOSTランジスタ200Bの構成は、図13において示したものと同一である。また、図1～図9を用いて説明した低電圧対応のCMOSTランジスタ100Aおよび高電圧対応のCMOSTランジスタ100Bの製造方法と同じ構成については同じ符号を付し、重複する説明は省略する。

【0132】まず、図1および図2を用いて説明した工程を経て、図22に示すように、シリコン基板10上の低電圧NMOS領域LNRおよび低電圧PMOS領域LPR上の全面にゲート絶縁膜41を、また、高電圧NMOS領域HNRおよび高電圧PMOS領域HPR上全面にゲート絶縁膜42を形成し、高電圧PMOS領域HPRにおけるシリコン基板10の表面内に、低濃度不純物層30を形成する。

【0133】そして、ゲート絶縁膜41および42の上部に、CVD法により非単結晶シリコン膜50Aを形成する。この非単結晶シリコン膜50Aは不純物を含んでいない。

【0134】そして、図22に示す工程において、写真製版によるパターニングにより、低電圧PMOS領域LPR上部のみレジストマスクR21で覆い、低電圧NMOS領域LNR、高電圧NMOS領域HNRおよび高電圧PMOS領域HPRに、P等のN型不純物をイオン注入して、N型の非単結晶シリコン膜50Cを形成する。このときのイオン注入条件は、注入エネルギー5keV～30keV、ドーズ量 $4 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ である。

【0135】レジストマスクR21を除去した後、図23に示すように、非単結晶シリコン膜50Aおよび非単結晶シリコン膜50Cを写真製版によりパターニングすることで、低電圧NMOS領域LNRにおいてはゲート電極54を、低電圧PMOS領域LPRにおいてはゲート電極55を、高電圧NMOS領域HNRおよび高電圧PMOS領域HPRにおいてはゲート電極56を形成する。

【0136】次に、図24に示す工程において、写真製

版によるパターニングにより高電圧NMOS領域HNR上部以外をレジストマスクR41で覆い、また、ゲート電極56を注入マスクとして、高電圧NMOS領域HNRにおけるシリコン基板10の表面内に、AsおよびP（両方の場合もあり）等のN型不純物をイオン注入により比較的低濃度（N⁻）に導入して、1対のエクステンション層63を形成する。このときのイオン注入条件は、Asの場合は、注入エネルギー10keV～200keV、ドーズ量 $5 \times 10^{11} \sim 5 \times 10^{14} / \text{cm}^2$ であり、Pの場合は、注入エネルギー10keV～50keV、ドーズ量 $5 \times 10^{11} \sim 5 \times 10^{14} / \text{cm}^2$ である。

【0137】次に、図25に示す工程において、写真製版によるパターニングにより低電圧NMOS領域LNR上部以外をレジストマスクR42で覆い、また、ゲート電極54を注入マスクとして、低電圧NMOS領域LNRにおけるシリコン基板10の表面内に、As等のN型不純物をイオン注入により比較的低濃度（N⁻）に導入して、1対のエクステンション層61を形成する。このときのイオン注入条件は、注入エネルギー0.2keV～10keV、ドーズ量 $1 \times 10^{14} \sim 2 \times 10^{15} / \text{cm}^2$ である。

【0138】次に、図26に示す工程において、写真製版によるパターニングにより低電圧PMOS領域LPR上部および高電圧PMOS領域HPR上部以外をレジストマスクR43で覆い、また、ゲート電極55および56を注入マスクとして、低電圧PMOS領域LPRおよび高電圧PMOS領域HPRにおけるシリコン基板10の表面内に、BあるいはBF₂等のP型不純物をイオン注入により比較的低濃度（P⁻）に導入して、1対のエクステンション層62および64をそれぞれ形成する。このときのイオン注入条件は、Bの場合は、注入エネルギー1keV～10keV、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ であり、BF₂の場合は、注入エネルギー5keV～50keV、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ である。

【0139】以下、図12および図13を用いて説明した工程を経て、図13に示す低電圧対応のCMOSTランジスタ200Aおよび高電圧対応のCMOSTランジスタ200Bを得る。

【0140】<D-2. 作用効果>本実施の形態の製造方法によれば、図26に示すように、ゲート電極55および56を注入マスクとして、低電圧PMOS領域LPRおよび高電圧PMOS領域HPRにおけるシリコン基板10の表面内に、エクステンション層62および64を同時に形成するので、エクステンション層形成のためのプロセスを削減できる。

【0141】すなわち、高電圧PMOS領域HPRにおいては、埋め込みチャネル型のPMOSTランジスタを形成するので、チャネル形成位置がゲート絶縁膜の直下ではなく、低濃度不純物層30の下部となるので、ゲー

ト絶縁膜から離れた位置となるので、実効電界が表面チャネル型よりも小さくなる。

【0142】その結果、キャリアのゲート絶縁膜への流入確率がかなり低くなり、ドレイン電界が強くても信頼性は低下しなくなる。従って、低電圧対応のPMOSTランジスタと同じ条件でエクステンション層を形成しても、ホットキャリア耐性や、NBTI耐性が損なわれることがないので、エクステンション層62および64を同時に形成するという工程を採用できる。

【0143】なお、図39～図47を用いて説明した従来の製造方法では、全てのMOSTランジスタが表面チャネル型であったので、各MOSTランジスタの個々に、エクステンション層を形成する必要があったので、4種類のMOSTランジスタの形成のためには4回のエクステンション層形成プロセスが必要であったが、本実施の形態の製造方法によれば、3回の工程で済むので工程を3/4に削減したことになる。

【0144】なお、本実施の形態の製造方法は、CMOSTランジスタ200AおよびCMOSTランジスタ200Bを有する半導体装置の製造方法に適用した例を示したが、CMOSTランジスタ100AおよびCMOSTランジスタ100Bを有する半導体装置の製造方法、またCMOSTランジスタ300AおよびCMOSTランジスタ300Bを有する半導体装置の製造方法に適用しても良いことは言うまでもない。

【0145】<E. 実施の形態5>

<E-1. 製造方法>本発明に係る実施の形態5の半導体装置の製造方法として、図27～図29を用いて、CMOSTランジスタ400AおよびCMOSTランジスタ400Bを有する半導体装置の製造方法について説明する。なお、低電圧対応のCMOSTランジスタ400Aおよび高電圧対応のCMOSTランジスタ400Bの構成は、最終工程を説明する図30において示される。

【0146】また、本実施の形態の製造方法は、図22～図26を用いて説明した実施の形態3の製造方法と同じ構成については同じ符号を付し、重複する説明は省略する。

【0147】すなわち、図22～図25を用いて説明した工程を経て、低電圧NMOS領域LNRおよび高電圧NMOS領域HNRにおけるシリコン基板10の表面内に、それぞれエクステンション層61および63を形成した後、図27に示す工程において、写真製版によるパターンニングにより低電圧PMOS領域LPR上部以外をレジストマスクR51で覆い、また、ゲート電極55を注入マスクとして、低電圧PMOS領域LPRにおけるシリコン基板10の表面内に、BあるいはBF₂等のP型不純物をイオン注入により比較的低濃度(P⁻)に導入して、1対のエクステンション層62を形成する。このときのイオン注入条件は、Bの場合は、注入エネルギー1keV～10keV、ドーズ量1×10¹⁵～1×1

0¹⁶/cm²であり、BF₂の場合は、注入エネルギー5keV～50keV、ドーズ量1×10¹⁵～1×10¹⁶/cm²である。

【0148】以下、図12を用いて説明した工程を経て、図28に示すように、低電圧NMOS領域LNR、低電圧PMOS領域LPR、高電圧NMOS領域HNRおよび高電圧PMOS領域HPRにおけるシリコン基板10の表面内に、それぞれ1対のソース・ドレイン層81、82、83および84を形成する。

【0149】なお、図28に示すように、低電圧NMO領域LNR、低電圧PMOS領域LPRおよび高電圧NMOS領域HNRにおいては、それぞれ1対のエクステンション層61、62および63を有しているが、高電圧PMOS領域HPRにおいてはエクステンション層は形成されていない。

【0150】以下、図13を用いて説明した工程を経て、図29に示す低電圧対応のCMOSTランジスタ400Aおよび高電圧対応のCMOSTランジスタ400Bを得る。

【0151】<E-2. 装置構成>図29に示すように、高電圧対応のCMOSTランジスタ400BのPMOSTランジスタは埋め込みチャネル型であり、エクステンション層を有さない構成となっている。

【0152】<E-3. 作用効果>本実施の形態の製造方法によれば、高電圧対応のCMOSTランジスタ400BのPMOSTランジスタにはエクステンション層を形成しないので、エクステンション層形成のためのプロセスを削減できる。

【0153】このように、エクステンション層を省略できるのはCMOSTランジスタ400BのPMOSTランジスタが埋め込みチャネル型だからである。

【0154】すなわち、上記埋め込みチャネル型のPMOSTランジスタにおいては、図29に示すように、p⁺である1対のソース・ドレイン層84間を、p⁻の低濃度不純物層30が接続しており、ドレインに電圧を印加すると、空乏層が低濃度不純物層30に伸びるため、チャネルが形成されやすく、エクステンション層が存在しなくても正常にオン動作することができるからである。

【0155】なお、図39～図47を用いて説明した従来の製造方法では、全てのMOSTランジスタが表面チャネル型であったので、各MOSTランジスタの個々に、エクステンション層を形成する必要があったので、4種類のMOSTランジスタの形成のためには4回のエクステンション層形成プロセスが必要であったが、本実施の形態の製造方法によれば、3回の工程で済むので工程を3/4に削減したことになる。

【0156】

【発明の効果】本発明に係る請求項1記載の半導体装置によれば、第2のPMOSTランジスタのみが埋め込みチャネル型のMOSTランジスタであるので、チャネル

に印加される電界が緩和され、キャリアの移動度が向上してドレイン電流を向上できる。また、動作電圧が低く、チャネル近傍での電界が弱い第1のNMOSトランジスタおよび第1のPMOSトランジスタが表面チャネル型のMOSトランジスタであるので、ホットキャリアストレス下での信頼性や、バイアス-温度ストレス下での信頼性の低下の問題が起りにくい。また、微細化の難しい埋め込みチャネル型を第2のPMOSトランジスタのみに適用するので、半導体装置の微細化を促進できる。

【0157】本発明に係る請求項2記載の半導体装置によれば、第2のPMOSトランジスタのゲート絶縁膜の直下に配設されたP型不純物層の存在により、チャネルが半導体基板内部に形成され、第2のPMOSトランジスタを確実に埋め込みチャネル型とすることができる。

【0158】本発明に係る請求項3記載の半導体装置によれば、1対のP型ソース・ドレイン層が、1対のP型エクステンション層を含んでいるので、短チャネル効果を抑制することができる。

【0159】本発明に係る請求項4記載の半導体装置によれば、第2のPMOSトランジスタのゲート電極がN型不純物を比較的高濃度に含んでいるので、当該ゲート電極の電気抵抗を低くすることができる。

【0160】本発明に係る請求項5記載の半導体装置の製造方法によれば、工程(d)および工程(e)により、ゲート電極のための不純物導入は、ゲート電極成形前に行うので、ソース・ドレイン層形成時の不純物の導入と独立して行うことができ、不純物導入量の制御が容易である。また、ゲート電極が、例えば、非単結晶シリコンと金属膜あるいはシリサイド膜との多層膜で構成される場合は、ソース・ドレイン層形成時の不純物導入と併せての不純物導入ができないので有効な方法となる。

【0161】本発明に係る請求項6記載の半導体装置の製造方法によれば、少なくとも前記第1のNMOSトランジスタ、前記第2のNMOSトランジスタおよび前記第2のPMOSトランジスタのゲート電極への不純物導入は、工程(e)により、ゲート電極成形前に行うので、ソース・ドレイン層形成時の不純物の導入と独立して行うことができ、不純物導入量の制御が容易である。

【0162】本発明に係る請求項7記載の半導体装置の製造方法によれば、第1のPMOSトランジスタのゲート電極への不純物導入は、ソース・ドレイン層の形成時に行うので、製造工程を簡略化できる。

【0163】本発明に係る請求項8記載の半導体装置の製造方法によれば、第1のPMOSトランジスタのゲート電極への不純物導入も、ゲート電極成形前に行うので、ソース・ドレイン層形成時の不純物の導入と独立して行うことができ、不純物導入量の制御が容易である。

【0164】本発明に係る請求項9記載の半導体装置の製造方法によれば、第1の濃度、すなわちゲートに含ま

れる不純物の濃度が、第2の濃度、すなわちソース・ドレイン層に含まれる不純物の濃度以上であるので、しきい値電圧を制御することができる。

【0165】本発明に係る請求項10記載の半導体装置の製造方法によれば、第1のNMOS領域、第1のPMOS領域、第2のNMOS領域および第2のPMOS領域の非単結晶シリコン膜に、N型不純物だけでなく窒素も導入するので、ソース・ドレイン層形成時に導入されるP型不純物の拡散を防止して、ゲート電極をN型に保つことができる。

【0166】本発明に係る請求項11記載の半導体装置の製造方法によれば、第1および第2のPMOS領域に形成された、それぞれのゲート電極を注入マスクとして使用し、同時にP型不純物をイオン注入して、それぞれ1対のP型エクステンション層を形成するので、エクステンション層形成のためのプロセスを削減できる。

【0167】本発明に係る請求項12記載の半導体装置の製造方法によれば、第1のPMOS領域に形成されたゲート電極を注入マスクとして使用し、1対のP型エクステンション層を第1のPMOS領域の前記半導体基板の表面内にのみ形成するので、エクステンション層形成のためのプロセスを削減できる。

【図面の簡単な説明】

【図1】 本発明に係る実施の形態1の半導体装置の製造工程を示す断面図である。

【図2】 本発明に係る実施の形態1の半導体装置の製造工程を示す断面図である。

【図3】 本発明に係る実施の形態1の半導体装置の製造工程を示す断面図である。

【図4】 本発明に係る実施の形態1の半導体装置の製造工程を示す断面図である。

【図5】 本発明に係る実施の形態1の半導体装置の製造工程を示す断面図である。

【図6】 本発明に係る実施の形態1の半導体装置の製造工程を示す断面図である。

【図7】 本発明に係る実施の形態1の半導体装置の製造工程を示す断面図である。

【図8】 本発明に係る実施の形態1の半導体装置の製造工程を示す断面図である。

【図9】 本発明に係る実施の形態1の半導体装置の製造工程を示す断面図である。

【図10】 本発明に係る実施の形態2の半導体装置の製造工程を示す断面図である。

【図11】 本発明に係る実施の形態2の半導体装置の製造工程を示す断面図である。

【図12】 本発明に係る実施の形態2の半導体装置の製造工程を示す断面図である。

【図13】 本発明に係る実施の形態2の半導体装置の製造工程を示す断面図である。

【図14】 本発明に係る実施の形態3の半導体装置の

製造工程を示す断面図である。

【図１５】 本発明に係る実施の形態３の半導体装置の製造工程を示す断面図である。

【図１６】 本発明に係る実施の形態３の半導体装置の製造工程を示す断面図である。

【図１７】 本発明に係る実施の形態３の半導体装置の製造工程を示す断面図である。

【図１８】 本発明に係る実施の形態３の半導体装置の製造工程を示す断面図である。

【図１９】 本発明に係る実施の形態３の半導体装置の製造工程を示す断面図である。

【図２０】 本発明に係る実施の形態３の半導体装置の製造工程を示す断面図である。

【図２１】 本発明に係る実施の形態３の半導体装置の製造工程を示す断面図である。

【図２２】 本発明に係る実施の形態４の半導体装置の製造工程を示す断面図である。

【図２３】 本発明に係る実施の形態４の半導体装置の製造工程を示す断面図である。

【図２４】 本発明に係る実施の形態４の半導体装置の製造工程を示す断面図である。

【図２５】 本発明に係る実施の形態４の半導体装置の製造工程を示す断面図である。

【図２６】 本発明に係る実施の形態４の半導体装置の製造工程を示す断面図である。

【図２７】 本発明に係る実施の形態５の半導体装置の製造工程を示す断面図である。

【図２８】 本発明に係る実施の形態５の半導体装置の製造工程を示す断面図である。

【図２９】 本発明に係る実施の形態５の半導体装置の製造工程を示す断面図である。

【図３０】 従来の半導体装置の製造工程を示す断面図である。

【図３１】 従来の半導体装置の製造工程を示す断面図である。

【図３２】 従来の半導体装置の製造工程を示す断面図である。

【図３３】 従来の半導体装置の製造工程を示す断面図である。

【図３４】 従来の半導体装置の製造工程を示す断面図

である。

【図３５】 従来の半導体装置の製造工程を示す断面図である。

【図３６】 従来の半導体装置の製造工程を示す断面図である。

【図３７】 従来の半導体装置の製造工程を示す断面図である。

【図３８】 従来の半導体装置の製造工程を示す断面図である。

【図３９】 従来の半導体装置の製造工程を示す断面図である。

【図４０】 従来の半導体装置の製造工程を示す断面図である。

【図４１】 従来の半導体装置の製造工程を示す断面図である。

【図４２】 従来の半導体装置の製造工程を示す断面図である。

【図４３】 従来の半導体装置の製造工程を示す断面図である。

【図４４】 従来の半導体装置の製造工程を示す断面図である。

【図４５】 従来の半導体装置の製造工程を示す断面図である。

【図４６】 従来の半導体装置の製造工程を示す断面図である。

【図４７】 従来の半導体装置の製造工程を示す断面図である。

【図４８】 従来の半導体装置の製造工程を示す断面図である。

【図４９】 従来の半導体装置の製造工程を示す断面図である。

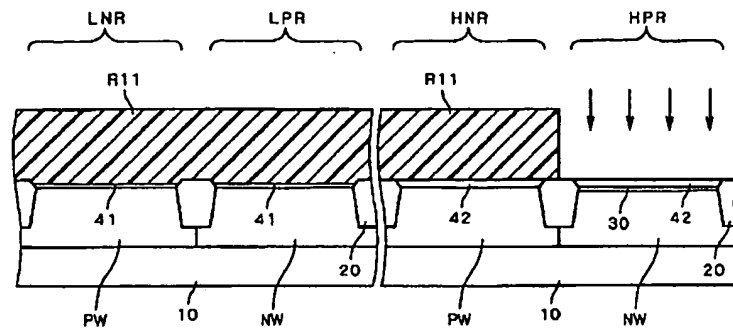
【図５０】 従来の半導体装置の製造工程を示す断面図である。

【図５１】 従来の半導体装置の製造工程を示す断面図である。

【符号の説明】

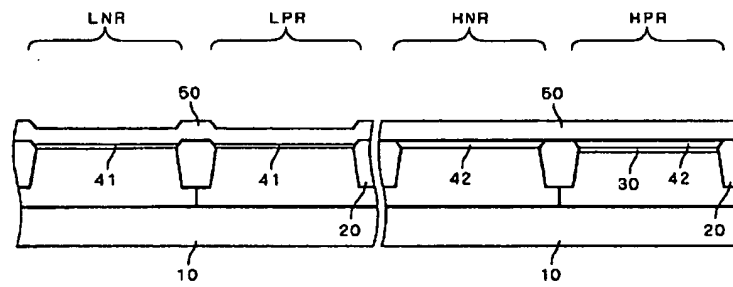
５０，５０Ａ，５０Ｂ，５０Ｃ，５０Ｄ 非単結晶シリコン膜、５１～５７ゲート電極、６１～６４ エクステンション層、８１～８４ ソース・ドレイン層。

【図 1】



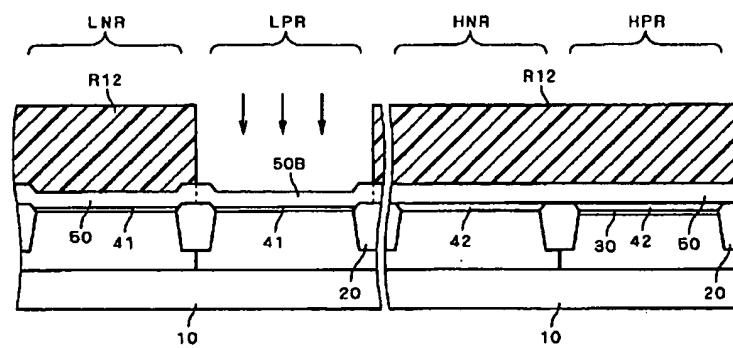
30 : 低温成不純物層 41, 42 : ゲート絶縁膜

【図 2】



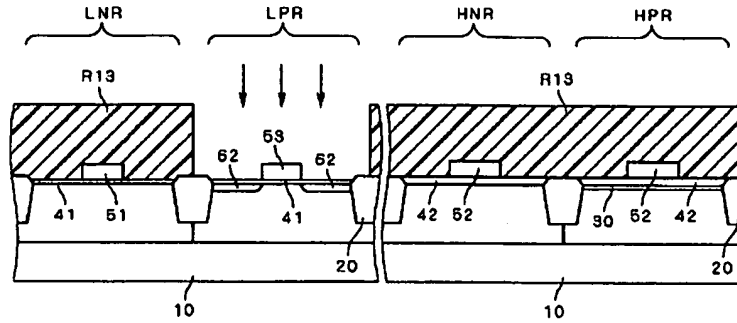
50 : 非単結晶シリコン膜

【図 3】



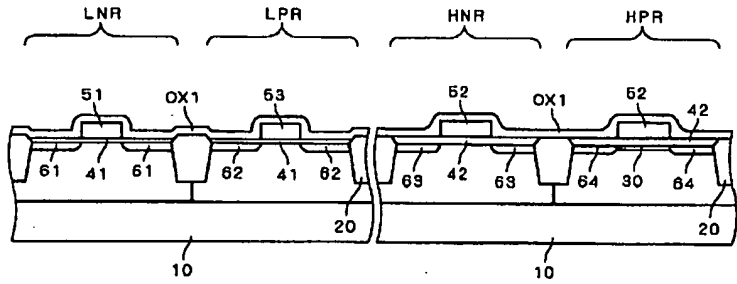
50B : 非単結晶シリコン膜

【図4】



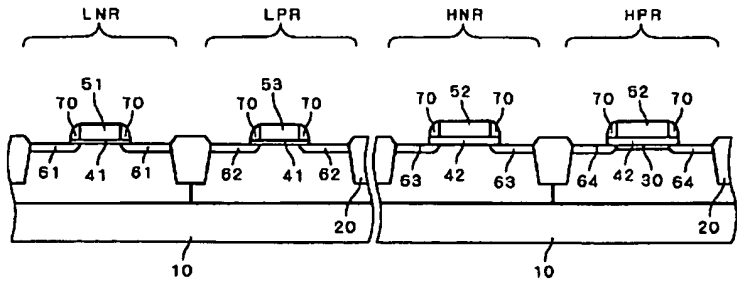
51, 52, 53 : ゲート電極 62 : エクステンション層

【図5】

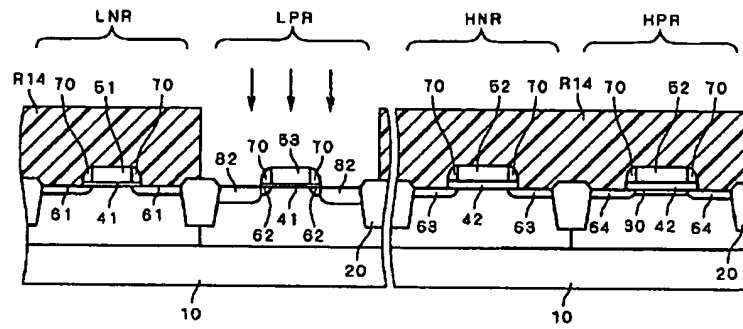


61, 63, 64 : エクステンション層

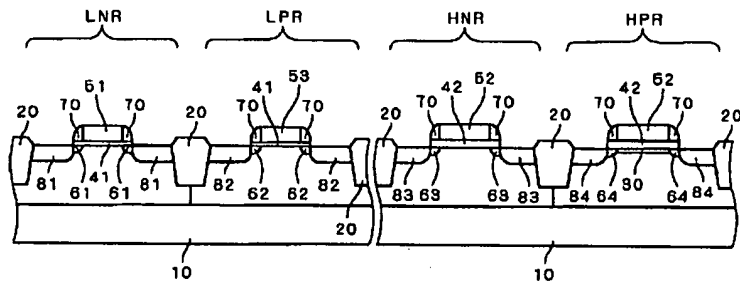
【図6】



【図7】

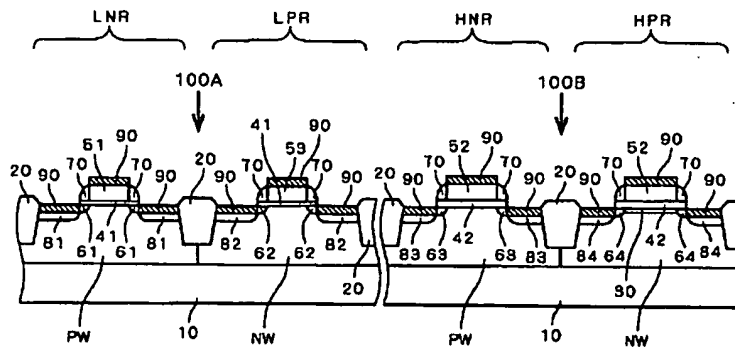


【図8】

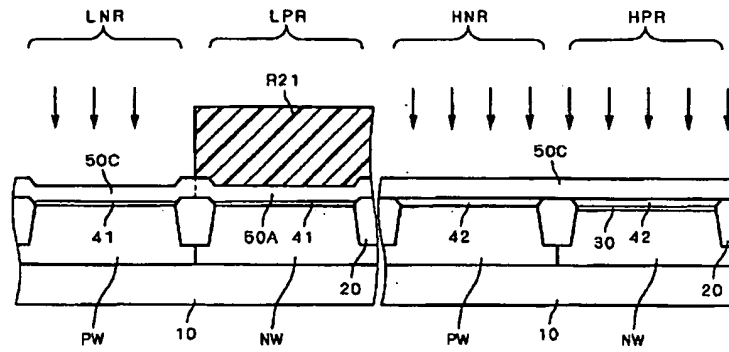


81, 82, 83, 84 : ソース・ドレイン層

【図9】

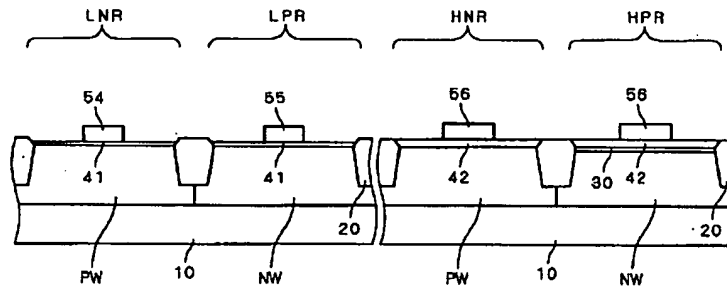


【図10】



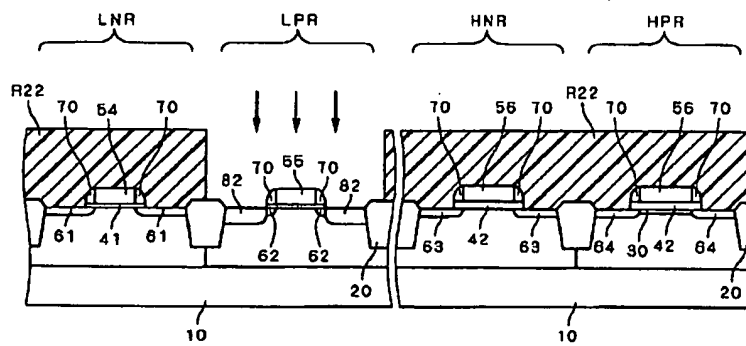
50A, 50C : 非単結晶シリコン膜

【図11】

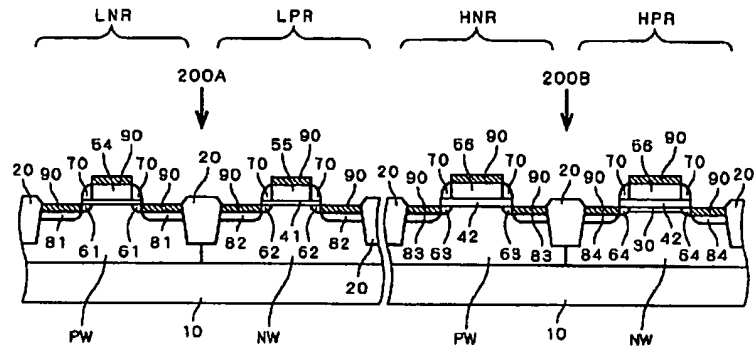


54, 55, 56 : ゲート電極

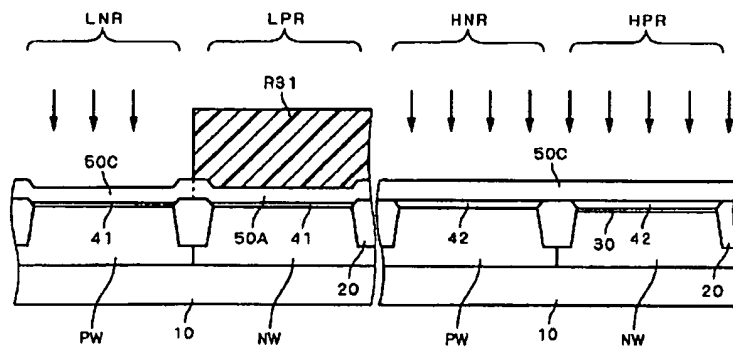
【図12】



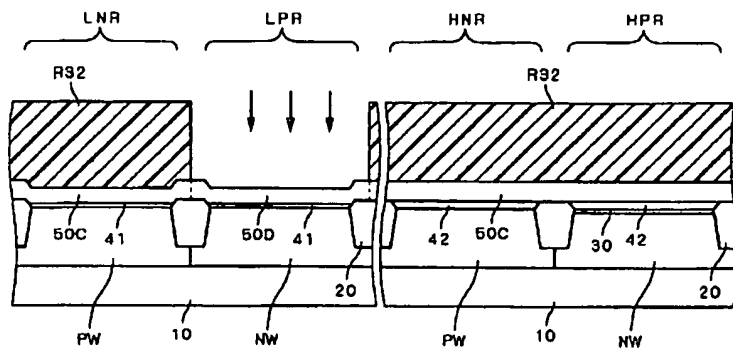
【図13】



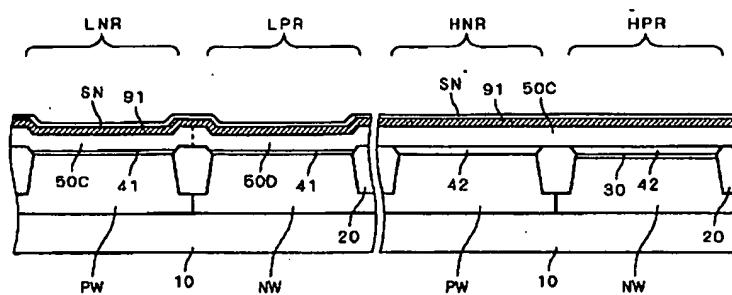
【図14】



【図15】

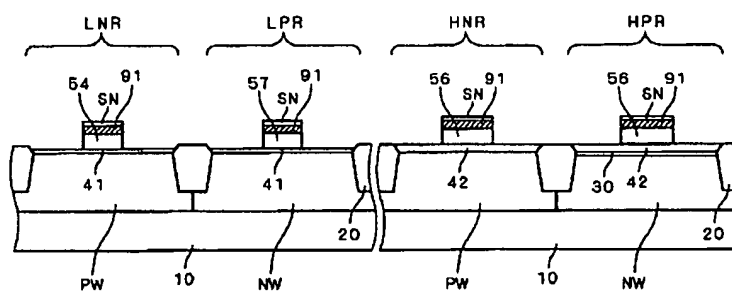


【図16】



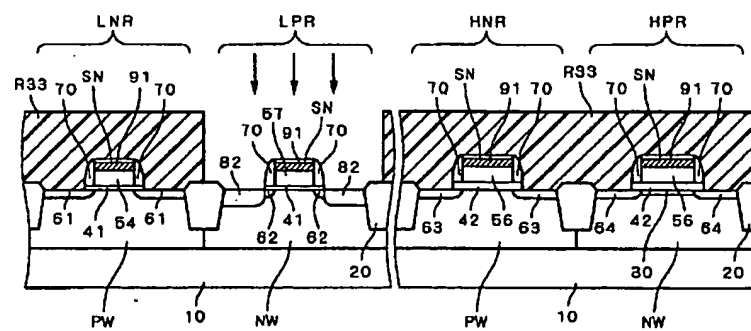
50D : 非単結晶シリコン膜

【図17】

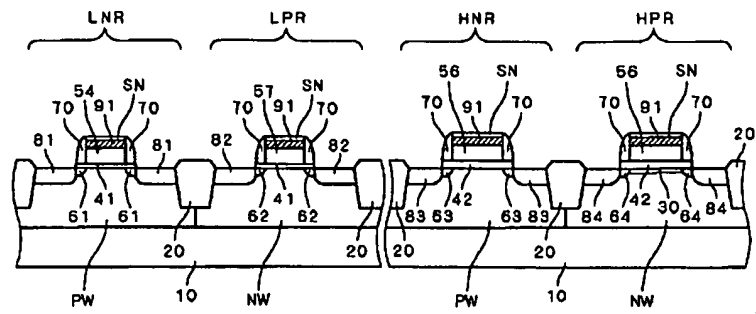


57 : ゲート電極

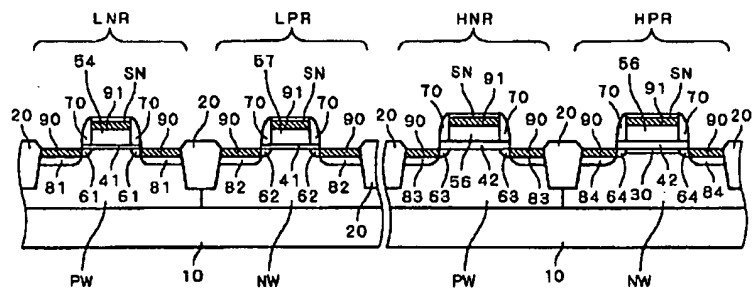
【図18】



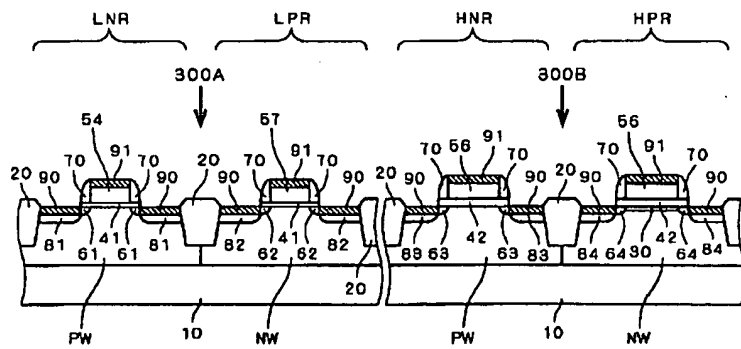
【図19】



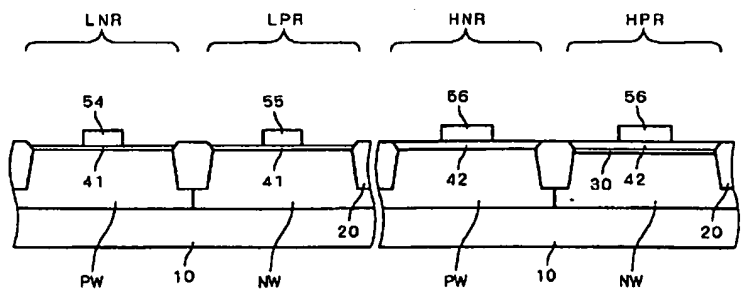
【図20】



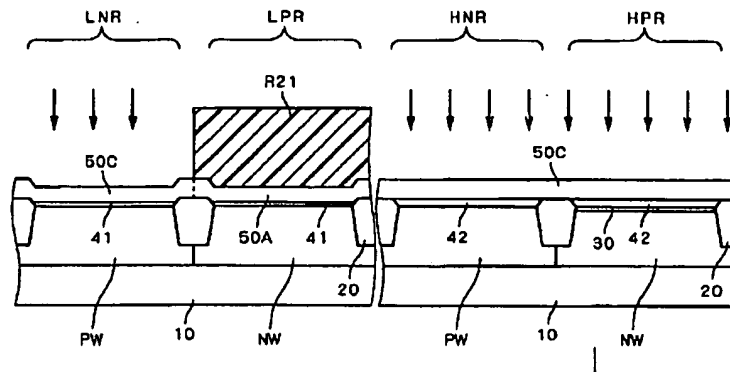
【図21】



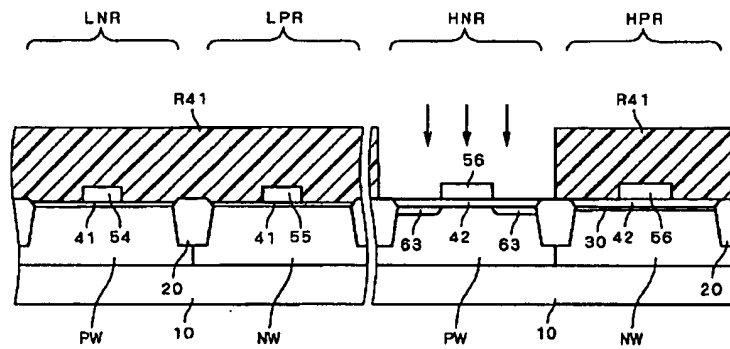
【図23】



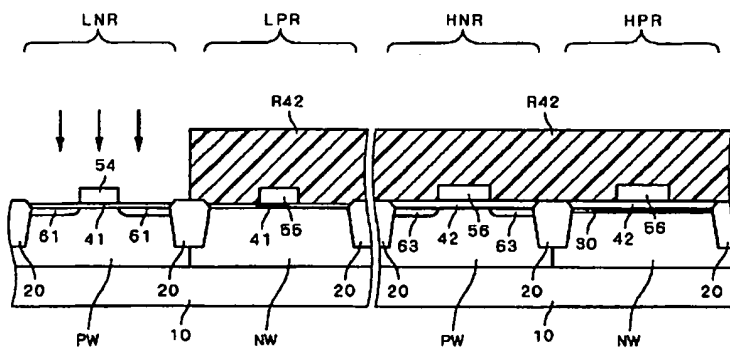
【図22】



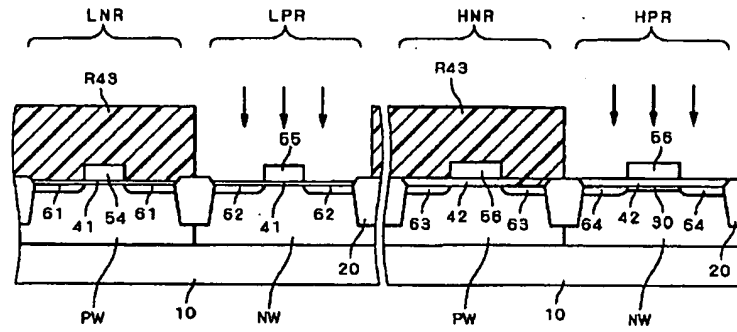
【図24】



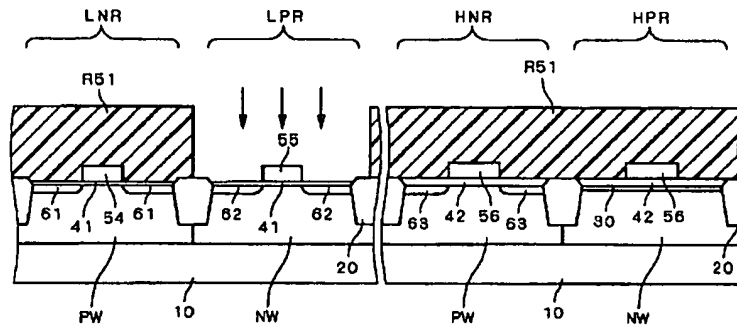
【図25】



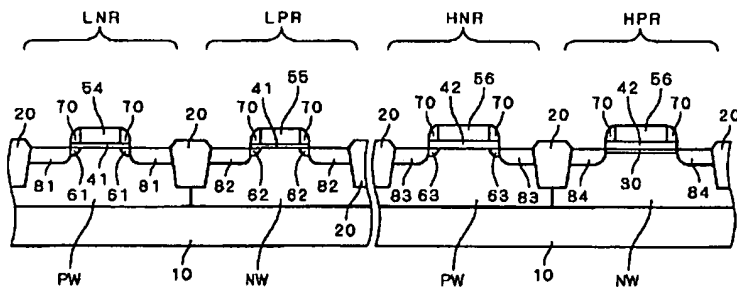
【図26】



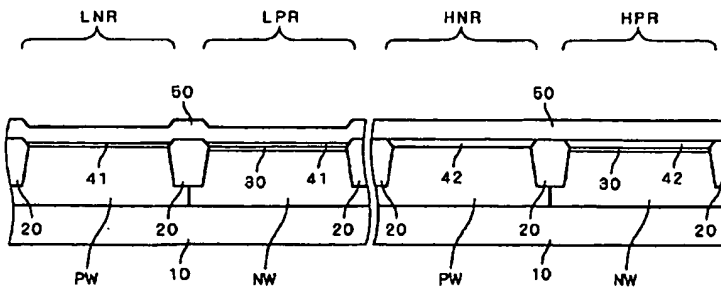
【図27】



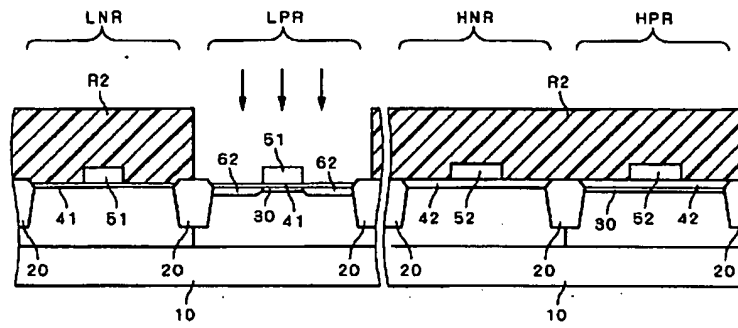
【図28】



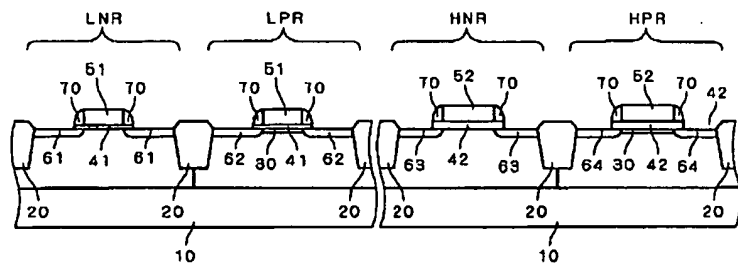
【図31】



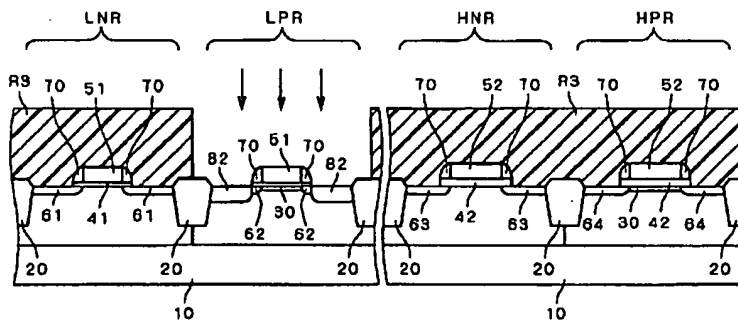
【図33】



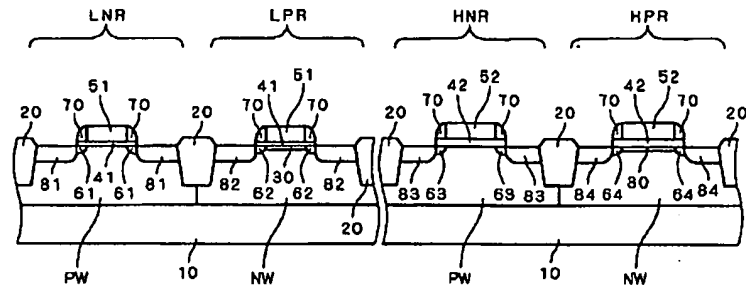
【図35】



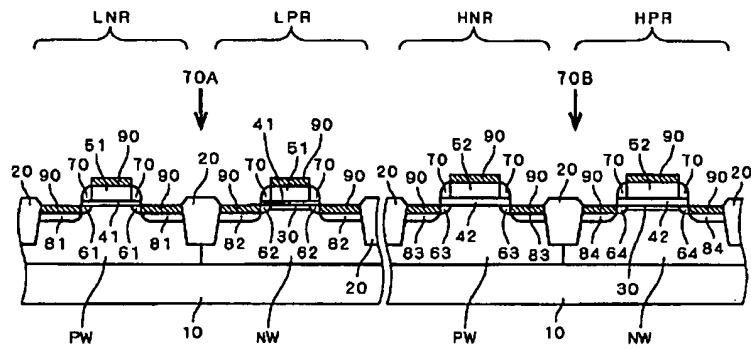
【図36】



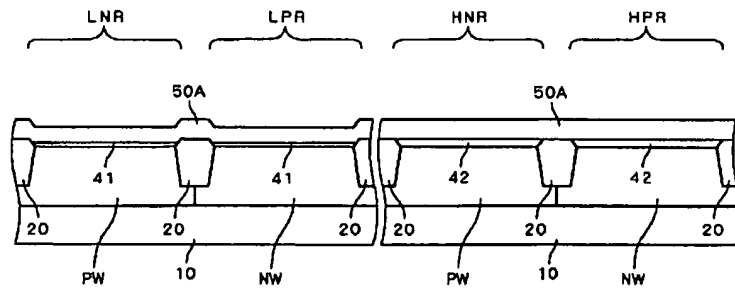
【図37】



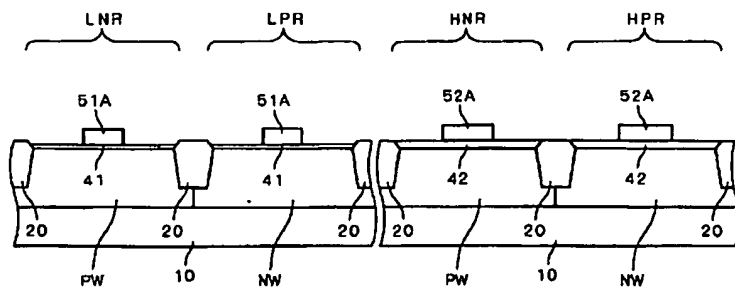
【図38】



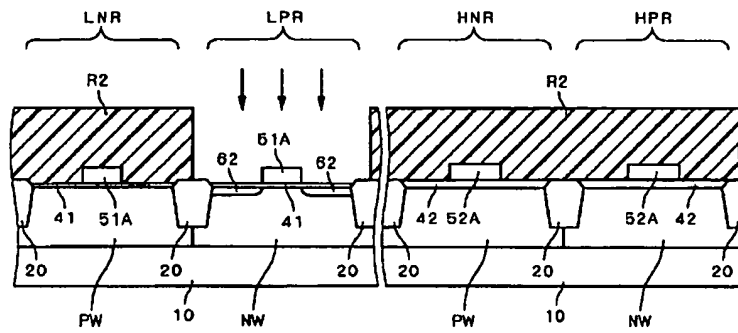
【図39】



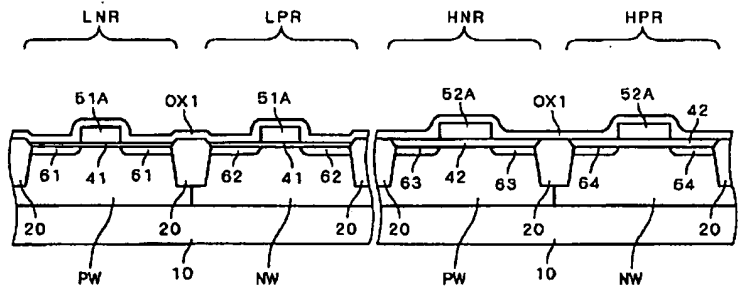
【図40】



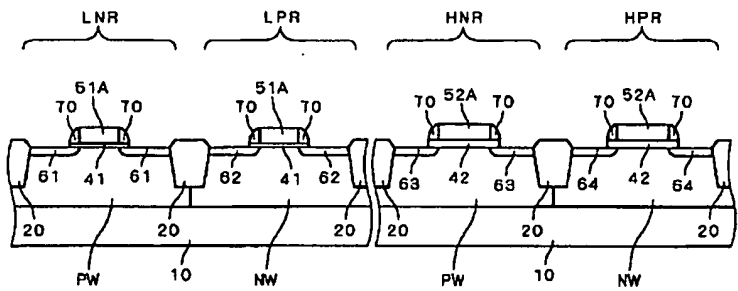
【図41】



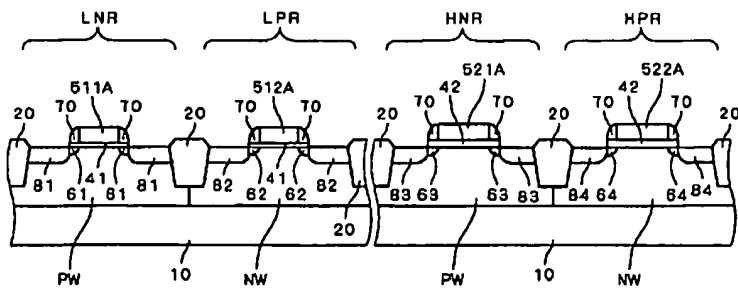
【図42】



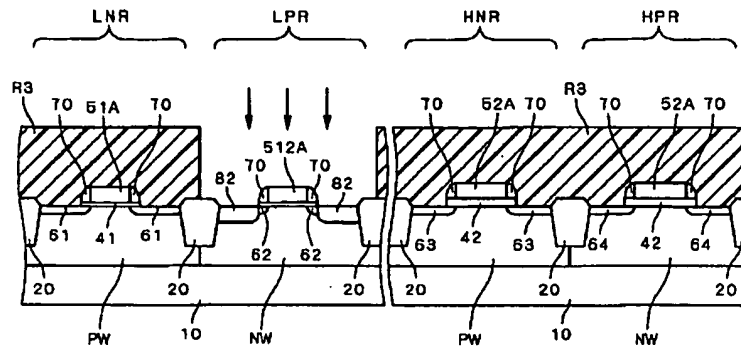
【図43】



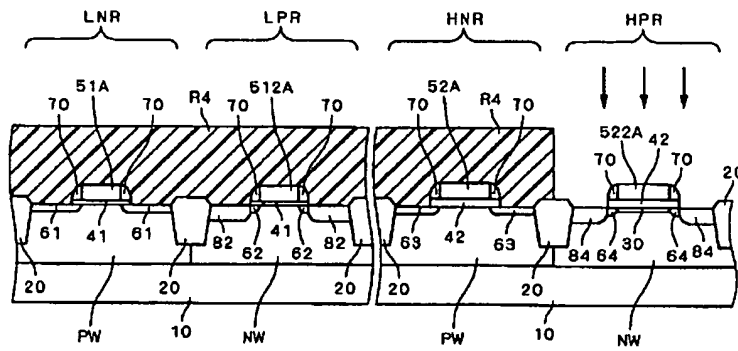
【図46】



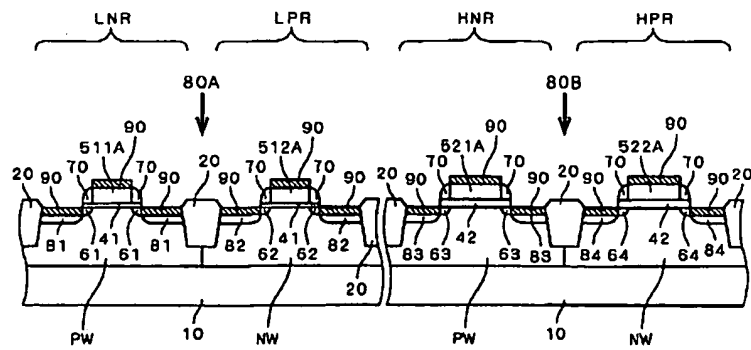
【図44】



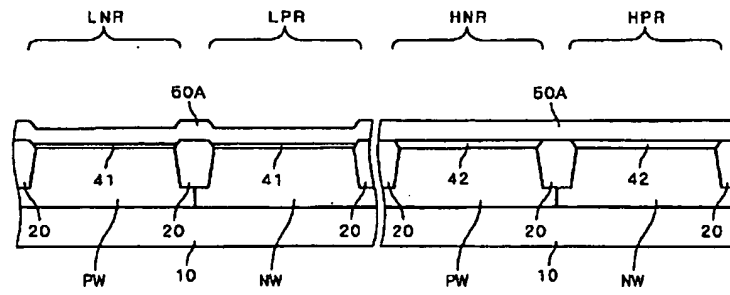
【図45】



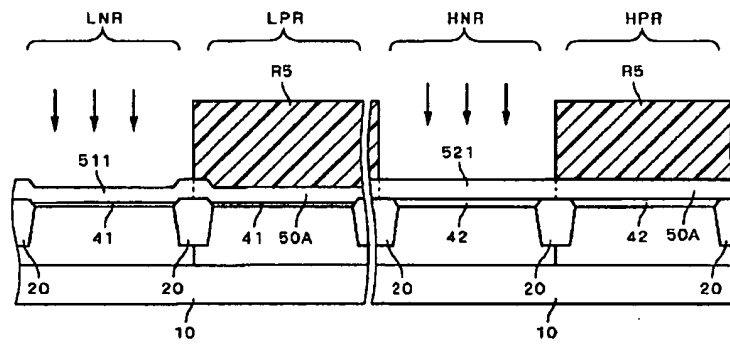
【図47】



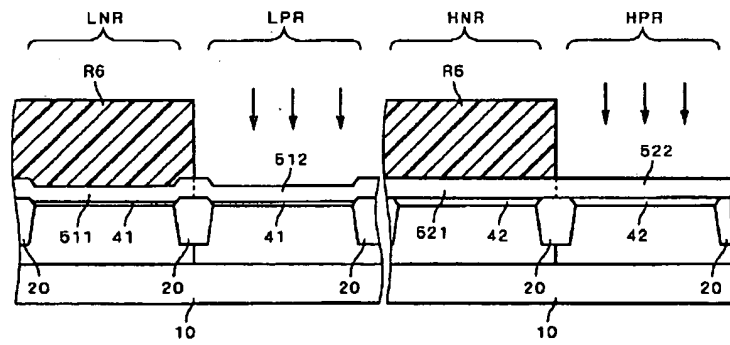
【図48】



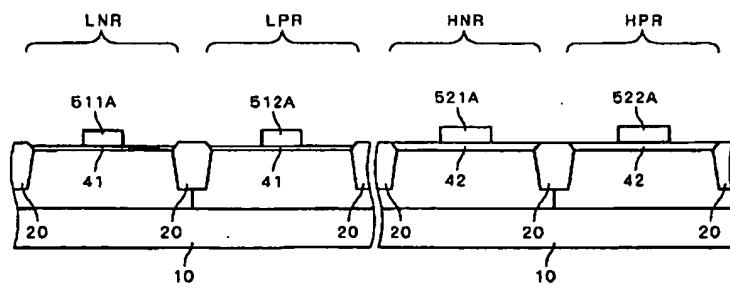
【図49】



【図50】



【図51】



フロントページの続き

(72)発明者 太田 和伸
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内
(72)発明者 尾田 秀一
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

Fターム(参考) 5F048 AA01 AA05 AA07 AC01 AC03
BA01 BB04 BB06 BB07 BB08
BB16 BB18 BC03 BC05 BC06
BC18 BD04 BD05 BE03 BF06
BG12 DA25